

10/524087
524087

(2)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004年3月25日 (25.03.2004)

PCT

(10) 国際公開番号
WO 2004/025730 A1

(51) 国際特許分類⁷:
H02M 3/155, G11C 17/00, H02M 3/00

H01L 27/04,

(72) 発明者: および

(21) 国際出願番号: PCT/JP2003/010178

(75) 発明者/出願人(米国についてのみ): 菊地 瞳
(KIKUCHI,Mutsumi) [JP/JP]; 〒319-1292 茨城県 日立
市 大みか町七丁目1番1号 株式会社日立製作所 日立
研究所内 Ibaraki (JP). 秋山 登 (AKIYAMA,Noboru)
[JP/JP]; 〒319-1292 茨城県 日立市 大みか町七丁目
1番1号 株式会社日立製作所 日立研究所内 Ibaraki
(JP). 庄司 浩幸 (SHOJI,Hiroyuki) [JP/JP]; 〒319-1292 茨
城県 日立市 大みか町七丁目1番1号 株式会社日立
製作所 日立研究所内 Ibaraki (JP). 村林 文
夫 (MURABAYASHI,Fumio) [JP/JP]; 〒319-1292 茨
城県 日立市 大みか町七丁目1番1号 株式会社日立
製作所 日立研究所内 Ibaraki (JP). 叶田 玲彦
(KANOUDA,Akihiko) [JP/JP]; 〒319-1292 茨城県 日
立市 大みか町七丁目1番1号 株式会社日立製作所
日立研究所内 Ibaraki (JP). 佐瀬 隆志 (SASE,Takashi)

(22) 国際出願日: 2003年8月8日 (08.08.2003)

日本語

(25) 国際出願の言語: 日本語

日本語

(26) 国際公開の言語: 日本語

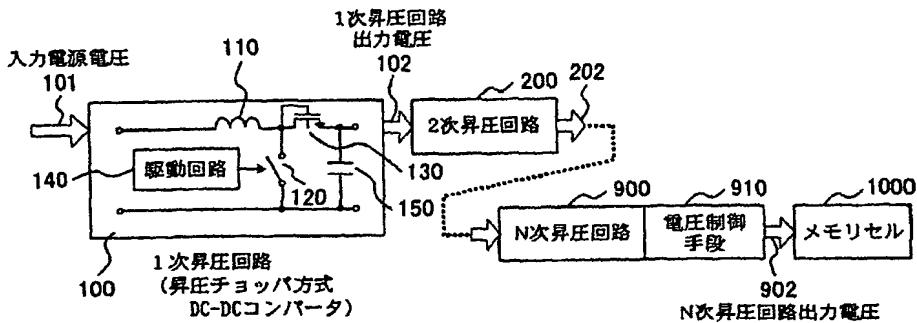
(30) 優先権データ:
特願2002-233909 2002年8月9日 (09.08.2002) JP
特願2002-274255 2002年9月20日 (20.09.2002) JP

(71) 出願人(米国を除く全ての指定国について): 株式会
社日立製作所(HITACHI,LTD.) [JP/JP]; 〒101-8010 東
京都 千代田区 神田駿河台四丁目6番地 Tokyo (JP).

[統葉有]

(54) Title: SEMICONDUCTOR DEVICE AND MEMORY CARD USING SAME

(54) 発明の名称: 半導体装置およびそれを用いたメモリカード



(57) Abstract: A semiconductor device that is small in size without marring the efficiency of the power supply and produces reduced noise in switching and a memory card are disclosed. The semiconductor device comprises step-up circuits connected into multistage for stepping up the power supply voltage to a predetermined final output voltage, a voltage control section for controlling the output voltage at the final stage or at a stage near the final stage, and an internal device to which the final output voltage is applied. The initial stage primary step-up circuit has an inductance element, a switching element, a diode, and a drive circuit. A metal coil section of the inductance element includes a metal wiring formed at the step of fabricating the semiconductor integrated circuit, and a core section includes an insulating film between wiring layers. The insulating film is formed at the same step of fabricating the semiconductor integrated circuit. The switching element and a part of the diode are disposed below the inductance element.

(57) 要約: 電源の効率を下げずに小型化が図れ、スイッチング時のノイズを低減できる半導体装置及びそれを用い
たメモリカードであって、電源電圧を所定の最終

[統葉有]

WO 2004/025730 A1



[JP/JP]; 〒319-1292 茨城県 日立市 大みか町七丁目
1番1号 株式会社日立製作所 日立研究所内 Ibaraki
(JP). 立野 孝治 (TATENO,Koji) [JP/JP]; 〒319-1292 茨
城県 日立市 大みか町七丁目 1番1号 株式会社日立
製作所 日立研究所内 Ibaraki (JP).

(74) 代理人: 小川 勝男 (OGAWA,Katsuo); 〒103-0025 東京
都 中央区 日本橋茅場町二丁目 9番8号 友泉茅場町
ビル 日東国際特許事務所 Tokyo (JP).

(81) 指定国 (国内): JP, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,
NL, PT, RO, SE, SI, SK, TR).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

出力電圧まで昇圧する複数段の昇圧回路群と、最終段付近の出力電圧を制御する電圧制御部と、最終出力電圧が供給される内部素子とを備え、最初段の1次昇圧回路は、インダクタンス素子と、スイッチング素子と、ダイオードと、駆動回路とを備え、インダクタンス素子の金属コイル部には半導体集積回路の形成工程を利用して形成した金属配線を、コア部には前記形成工程を利用して形成した配線層間絶縁膜を用いる。また、スイッチング素子とダイオードの一部をインダクタンス素子の下方に配置する構成とする。

明細書

半導体装置およびそれを用いたメモリカード

技術分野

5 本発明は、電源電圧より高い電圧あるいは入力電圧よりも低い電圧を内部回路で発生して内部素子を動作させる半導体装置及びそれを用いたメモリカード等の電子機器に関する。

背景技術

10 携帯情報端末の普及に伴い、差込型の半導体メディアによるデータの持ち運びが増え、持ち運ぶデータもテキスト文書のみでなく高品質画像、音声、動画像などそのデータ量が増加している。このため、これらデータの保持に不可欠な不揮発性メモリ、特に電気的消去が可能なEEPROM (Electrically Erasable Programmable Read Only Memory) の需要が増えている。一括消去が可能なEEPROMをフラッシュEEPROM (以下、フラッシュメモリと記す) と言い、消去動作を素子単位またはブロック単位で一括して行うことにより高集積化が可能のことから、大容量かつ低価格の不揮発性メモリとして広く使われている。

15 フラッシュメモリを搭載するICカードは、携帯電話用カードやクレジットカード、キャッシュカードなどに用いられて広く普及が進むと共に、多機能化のニーズが高まり、OSやアプリケーションプログラムおよびデータを格納できる大容量メモリの搭載、携帯電話で使用する上での低消費電力化が求められている。このため、ICカードに搭載されるマイコンやフラッシュメモリの微細化、低電源電圧化が進展している。

20 また、民生機器の高機能化に伴いその制御に用いられるフラッシュメモリ内蔵マイコンも、高速化や低消費電力化が求められ、マイコン+フラッシュメモリの微細化、低電源電圧化が進んでいる。

25 フラッシュメモリでは、データの書き込みや消去時に電源電圧よりも高い電圧が必要であり、フラッシュメモリLSI内部には昇圧回路が設けられる。そして、

昇圧回路にはチャージポンプ回路と呼ばれる回路方式が広く用いられている。チャージポンプ回路の一例では、図29に示すようにコンデンサ160、ダイオード170からなる基本単位回路を直列多段に並べ、そのコンデンサの片側端子にパルス状のバイアス電圧を加え、電荷を1クロック毎に次ステップへ移送して容量性負荷の電圧を上昇させている。チャージポンプ回路には、この他にも倍電圧整流方式といわれる複数のコンデンサを並列充電した後、直列接続に切り換えて高電圧を得る方式もある。

更に別の昇圧回路の方式として、DC-DCコンバータ回路を用いる方式や、DC-DCコンバータ回路とチャージポンプ回路を併用する方式が、各々、特開平7-21791号公報、特開平8-297986号公報に開示されている。

また、入力電圧よりも低い電圧を必要とする場合に使われる降圧回路内蔵LSIでは、ドロッパ型の回路を用いるか、チョッパ型の降圧回路を用いる際にはそれに用いるインダクタは個別部品でありLSIチップの外部に設けられている。

ICカードに搭載されるマイコンやフラッシュメモリ、あるいはフラッシュメモリ内蔵マイコンの微細化、低電源電圧化が進む一方、フラッシュメモリの書き込み動作や消去動作時の電圧は微細化が進んでもその動作原理により殆ど下がらっていない。このため、昇圧回路の入力電圧と出力電圧の差は、今後ますます増大する傾向にある。

従来の昇圧回路に用いられているチャージポンプ方式では、ポンプ一段あたりの昇圧電圧は電源電圧からダイオード降下電圧を差し引いた電圧になるため、微細化の進展によりLSIの電源電圧が低くなると、ポンプ一段当たりの昇圧電圧は小さくなる。従って、電源電圧の低下に伴い所望の電圧まで昇圧するのに必要な段数が増え、回路のレイアウト面積が増大する。メモリ容量が増加し1Gビット、4Gビット、16Gビットと大容量化するに従い、面積の増大は更に顕著になる。

今後も微細化の進展によりプロセッサやメモリは低電圧化されるが、フラッシュメモリの書き込み、消去電圧はほとんど変わらないので、昇圧回路を内蔵するLSIにとって電源回路の小形化は重要な課題となっている。

一方、これまでのDC-DCコンバータ方式、あるいはDC-DCコンバータ

とチャージポンプ回路の併用方式では、インダクタンス素子の形成に通常のLSIプロセスにはない磁性体コアの形成や低抵抗化を目的とした厚膜プロセスが必要である。厚膜配線ではインダクタンス素子以外の回路部分、例えばメモリのワード線などで配線アスペクトが高くなり微細加工が困難になるという問題がある。

5 このためオンチップのインダクタンス素子の形成は困難であり、インダクタンスは別プロセスで形成し張り合わせるか、外付けというものだった。上記の理由から、これまでのDC-DCコンバータ方式は、通常のLSIプロセスに適した昇圧回路方式となっていなかった。

また、降圧回路内蔵LSIでも、ドロッパ型回路のために消費電力が大きい、
10 あるいはインダクタ外付けのチョッパ型回路のために実装面積が大きいという問題があった。

本発明は、従来の半導体プロセスを用いながら電源の小型化が図れ、スイッチング時のノイズも低減できる半導体装置及びそれを用いたメモリカードを提供することである。

15

発明の開示

本発明は、電源電圧を所定の最終出力電圧まで昇圧する複数段の昇圧回路群と、その昇圧回路群の最終段付近の昇圧回路に接続された出力電圧制御手段と、昇圧回路群の出力が供給される内部素子とを備え、昇圧回路群のうち、電源電圧を第
20 1次電圧まで昇圧する第1段昇圧回路は、インダクタンス素子、スイッチング素子およびダイオードを含むコンバータ回路で構成され、第1次電圧を所定の最終電圧まで昇圧する第1段目以降の昇圧回路は、キャパシタンス素子とダイオードを含むチャージポンプ回路、またはインダクタンス素子、スイッチング素子およびダイオードを含むコンバータ回路で構成され、昇圧回路を構成するインダクタ
25 ナンス素子、スイッチング素子、およびダイオード、出力電圧制御手段、内部素子は半導体基板上に形成され、出力電圧制御手段は、昇圧回路群の最終出力が安定した所定の出力電圧となるように最終段付近の昇圧回路を制御し、その出力を前記内部素子に供給するようにした、電源電圧より高い電圧を内部回路で発生して

内部素子を動作させる半導体装置である。

本発明は、スイッチング素子のゲートを入力電源電圧よりも高い電圧で駆動するようにした半導体装置である。

また、スイッチング素子のゲートを駆動するゲート駆動回路は昇圧回路を備え、

5 スイッチング素子のゲートを入力電源電圧よりも高い電圧で駆動するようにした半導体装置である。

本発明は、昇圧回路群の最終出力が安定した所定の出力電圧となるように前記最終段の昇圧回路を制御するようにした半導体装置である。

本発明は、昇圧回路群の最終出力が安定した所定の出力電圧となるように最終10 段の昇圧回路の一つ手前の昇圧回路を制御するようにした半導体装置である。

本発明は、コンバータ回路のうち、少なくとも1つのコンバータ回路は、昇圧動作時に昇圧比あるいはスイッチングデューティ比が設定値に維持されるようにした半導体装置である。

本発明は、コンバータ回路のうち、少なくとも1つのコンバータ回路は、昇圧動作時に昇圧比あるいはスイッチングデューティ比が設定値に維持され、かつ、その昇圧比あるいはスイッチングデューティ比を任意に設定する手段を有する半導体装置である。

本発明は、コンバータ回路のうち、少なくとも1つのコンバータ回路は、そのスイッチング周波数が 10 MHz 以上の半導体装置である。

20 本発明は、インダクタンス素子が複数層の金属配線と、その配線層間に設けられた絶縁膜からなり、複数層の金属配線が並列に接続された並列接続型のインダクタンス素子である半導体装置である。

本発明は、電源電圧より高い電圧を内部回路で発生して内部素子を動作させる半導体装置とそれを用いたメモリカードにおいて、電源電圧を所定の最終出力電25 圧まで昇圧する複数段の昇圧回路群と、最終段付近の出力電圧を制御する電圧制御部と、最終出力電圧が供給される内部素子とを備えて、複数段の昇圧回路群内に、少なくともインダクタンス素子と、スイッチング素子と、ダイオードと、前記スイッチング素子を駆動する駆動回路とを有するコンバータ回路を備え、コン

バータ回路のインダクタンス素子は、内部素子の信号配線または電源配線に使われる金属配線と同一の工程で形成される金属配線を少なくとも含んだ半導体装置である。

本発明は、電源電圧より高い電圧を内部回路で発生して内部素子を動作させる
5 半導体装置とそれを用いたメモリカードにおいて、電源電圧を所定の最終出力電圧まで昇圧する複数段の昇圧回路群と、最終段付近の出力電圧を制御する電圧制御部と、最終出力電圧が供給される内部素子とを備えて、最初段の1次昇圧回路は、インダクタンス素子と、スイッチング素子と、ダイオードと、駆動回路とを備え、スイッチング素子とダイオードの一部をインダクタンス素子の下方に配置
10 する構成とする。

また、インダクタンス素子の下方に配置されたスイッチング素子及びダイオードは、スイッチング素子のドレイン側領域とダイオードのアノード側領域が互いに向き合って半導体基板上に配置され、かつ両領域が電気的に接続されたスイッテ
15 チング素子とダイオードの組合せユニットを、少なくとも2組以上並列に接続した構成とする。

また、入力電圧を所定の最終出力電圧まで降圧する降圧回路を備え、それはインダクタンス素子と、スイッチング素子と、ダイオードと、駆動回路と、制御回路とを備え、スイッチング素子とダイオードの一部をインダクタンス素子の下方に配置する構成とする。

20 また、インダクタンス素子の下方に配置されたスイッチング素子及びダイオードは、スイッチング素子のソース領域とダイオードのカソード側領域が互いに向き合って半導体基板上に配置され、かつ両領域が電気的に接続されたスイッテ
25 チング素子とダイオードの組合せユニットを、少なくとも2組以上並列に接続した構成とする。また、昇圧回路は、インダクタンス素子を形成するスパイラル状に配線された第1の金属配線と、その第1の金属配線の外周端に接続され、電源電圧を供給する第2の金属配線と、第1の金属配線の内周端に接続され、内周端から下方に形成されたスイッチング素子及びダイオードの拡散層へ向けて配線された層間接続配線と、その拡散層間を接続する第3の金属配線とを備える構成とする。

また、降圧回路は、インダクタンス素子を形成するスパイラル状に配線された第1の金属配線と、第1の金属配線の内周端に接続され、内周端から下方に形成されたスイッチング素子及びダイオードの拡散層へ向けて配線された層間接続配線と、その拡散層間を接続する第3の金属配線と、第1の金属配線の外周端に接続され、降圧された最終出力電圧を出力する第4の金属配線とを備える構成とする。
5

また、そのインダクタンス素子は、第1の金属配線と配線層間絶縁膜とを備える構成とする。

また、上記した半導体装置を複数備え、それらの半導体装置を各々重ね合わせて配置し、隣接する半導体装置内のインダクタンス素子は、インダクタンス素子の真上方向及び真下方向には他の半導体装置内のインダクタンス素子が互いに重なり合わないように配置されている構成とする。
10

また、複数の半導体装置は半導体チップ上に形成され、半導体装置のインダクタンス素子を半導体チップ一方半分側の一部に形成し、半導体装置に隣接する他の半導体装置のインダクタンス素子をチップ他方半分側の一部に形成するマルチチップ型半導体装置の構成とする。
15

また、上記した半導体装置は、不揮発性メモリまたは不揮発性メモリ内蔵マイコンであって、フラッシュメモリまたはフラッシュメモリ内蔵マイコンである構成とする。
20

また、上記した半導体装置とCPUを備えるメモリカードの構成とする。

図面の簡単な説明

図1は、本発明に係る半導体装置の昇圧回路の一実施例を示す図である。

図2は、本発明に係る半導体装置の1次昇圧回路の一回路構成を示す図である。

25 図3は、本発明に係る半導体装置の1次昇圧回路の一動作例を説明する図である。

図4は、本発明に係る半導体装置の電圧制御手段を示す回路ブロック図である。

図5は、本発明に係る半導体装置の昇圧回路のデューティ比生成回路とデューティ比設定手段を示すブロック構成図である。図6は、本発明に係る半導体装置の

昇圧回路のデューティ比生成回路とデューティ比設定手段を示すブロック構成図である。図7は、本発明に係る半導体装置の昇圧回路のデューティ比生成回路とデューティ比設定手段を示すブロック構成図である。図8は、本発明に係る半導体装置のオンチップコンバータの第1の実施例を示す素子配置および配線図である。図9は、本発明に係る半導体装置のオンチップコンバータの第1の実施例の平面を示す図である。図10は、本発明に係る半導体装置のオンチップコンバータの第2の実施例を示す素子配置および配線図である。図11は、本発明に係る半導体装置のオンチップコンバータの第2の実施例の断面を示す図である。【図12】は、本発明に係る半導体装置のオンチップコンバータの第3の実施例を示す素子配置および配線図である。図13は、オンチップコンバータの第3の実施例におけるインダクタンス素子の他の構成例を示す平面図である。図14は、本発明に係る半導体装置のオンチップコンバータの第4の実施例を示す素子配置および配線図である。図15は、本発明に係る半導体装置のオンチップインダクタンス素子の一平面を示す図である。図16は、本発明に係る半導体装置のオンチップコンバータの第3の実施例の断面を示す図である。図17は、本発明に係る半導体装置の昇圧回路と従来昇圧回路の面積比と電源電圧の関係を示した図である。図18は、本発明に係る半導体装置の昇圧回路と従来昇圧回路の面積比と動作周波数の関係を示した図である。図19は、本発明に係る半導体装置のオンチップコンバータの第5の実施例を示す素子配置および配線図である。図20は、本発明に係る半導体装置のオンチップコンバータの第5の実施例で、インダクタンス素子を並列スイッチング動作させる際のクロック波形を示す図である。図21は、本発明に係る半導体装置の昇圧回路の他の実施例を示す図である。図22は、本発明に係る半導体装置の昇圧回路の更に他の実施例を示す図である。図23は、本発明に係る半導体装置の降圧回路の一実施例を示す図である。図24は、本発明に係る半導体装置のオンチップコンバータの第5の実施例を示す素子配置および配線図である。図25は、本発明のオンチップコンバータを用いたフラッシュメモリを内蔵したマイコンの構成を示す図である。図26は、本発明のオンチップコンバータを用いたフラッシュメモリを内蔵したマイコンを使ったシステムポ

ードの構成を示す図である。図27は、本発明に係る半導体装置を用いたマルチチップ型半導体装置の一実施例を示す図である。図28は、本発明に係る半導体装置を用いたメモリカードの一実施例を示す図である。図29は、チャージポンプ方式の従来昇圧回路の一実施例を示す図である。図30は、DC-DCコンバータ回路の従来ゲート周辺回路を説明する図である。

発明を実施するための最良の形態

図1は、本発明のオンチップ型コンバータを用いたフラッシュメモリの昇圧回路の構成を示す図である。

10 フラッシュメモリ内部の昇圧電源回路は複数の電圧を出力しメモリセルに供給するが、本実施例ではその一部を抜き出して説明する。1次昇圧回路100にはフラッシュメモリへの入力電源電圧101が入力されている。そして、1次昇圧回路100の出力には2次昇圧回路200が接続され、以下順にN次昇圧回路まで直列に接続される。つまり複数段の昇圧回路を直列に接続して、複数段の昇圧回路群を構成している。最終段のN次昇圧回路900はその最終段から出力する出力電圧902を制御する電圧制御部910を有し、その先に内部素子のメモリセル1000が接続される。第1段の1次昇圧回路100は昇圧型のDC-DCコンバータ回路であり、インダクタンス素子110、スイッチング素子120、ダイオード130及びスイッチング素子のゲート駆動回路140、出力平滑コンデンサ150で構成される。2次昇圧回路200からN次昇圧回路900は昇圧型のDC-DCコンバータ回路か、チャージポンプ回路で構成している。

メモリへ書き込み、消去、読出しなどの要求があった場合、フラッシュメモリ内部の昇圧電源回路は所定の電圧をメモリセルへ供給するため、昇圧動作を開始する。

25 図2に昇圧型のDC-DCコンバータ回路の基本回路図と図3にその昇圧動作波形を示す。

まず、駆動回路140の出力信号CLKの立上り（ロウ電圧→ハイ電圧）により、1次昇圧回路のスイッチング素子120がオンとなり、インダクタンス素子

110に電流(I_L)を流し、磁界のエネルギーを蓄える。次にCLKの立下り(ハイ電圧→ロウ電圧)によりスイッチング素子120がオフすると、インダクタンス素子の電流が連続して流れるように、磁界に蓄えられたエネルギーによりダイオード130を介してダイオード電流(I_D)が流れ出力平滑コンデンサ150を充電する。

なお、ダイオード130にはMOSトランジスタのドレインとゲートを接続したMOS型ダイオードが使われ、本明細書ではゲートと接続されたドレイン側領域をアノード、ソース側領域をカソードと称する。また、MOS型ダイオード以外のショットキーダイオード、PN接合ダイオード等はオンからオフへのリカバリ特性を考慮することにより、ダイオード130として用いることも可能である。

上記のスイッチングを繰り返すことで、入力電源電圧が昇圧される。その様子をインダクタンス素子110の出力電圧V_xと1次昇圧回路100の出力電圧V_{out}について、図3に示した。昇圧された出力電圧V_{out}は2次昇圧回路の入力となる。このときスイッチング素子のオン時間をT_{on}、オフ時間をT_{off}とし、T_{on}の期間に蓄えられた磁束がT_{off}の期間に放出するとすれば、出力電圧V_{out}は入力電圧V_{in}の($T_{on} + T_{off}$) / T_{off}倍となる。つまり、スイッチングデューティ比により昇圧比が決定している。

本実施例においては、スイッチングデューティ比を一定として固定の昇圧比とすることにより、駆動回路140の回路規模の低減が可能となる。

また、前記スイッチング素子120のゲートを駆動する駆動回路140は、その内部に、図示していないが、ゲート用昇圧回路を備えている。そして入力電源電圧101よりも高い電圧で前記スイッチング素子のゲートを駆動することで、前記スイッチング素子のゲート幅を縮小することが可能となる。これにより、前記スイッチング素子のレイアウト面積を縮小することが可能となるだけでなく、前記スイッチング素子のゲート容量とドレイン接合容量が減少し、それらの容量の充電損失を削減することが可能となり、全体の昇圧回路100の効率が向上する。更に、前記スイッチング素子をレイアウトする面積が縮小できるので、それらの内部の配線長を短縮できるので配線抵抗による損失も削減することができる。

前記駆動回路 140 の内部の前記ゲート用昇圧回路はチャージポンプ回路を用いているが、前記駆動回路の出力電圧が入力電源電圧 101 よりも高い電圧であれば十分である。このため、前記ゲート用昇圧回路の昇圧比は昇圧回路 100 の全体の昇圧比よりも低くすることが可能となる。さらに前記ゲート用昇圧回路の負荷容量は、前記スイッチング素子のゲート容量のみであり、前記昇圧回路 100 の負荷に比べて小さい。以上のことにより、前記ゲート用昇圧回路の回路規模は全体の昇圧回路をチャージポンプ回路で実現した場合よりも縮小できるので、前記インダクタンス素子 110 の下方に納めることができた面積に抑えられる。

本実施例では、1 次昇圧回路以降も DC-DC コンバータ回路を用いる場合には、必要に応じ各昇圧回路について、それぞれ固定の昇圧比で電圧を昇圧する。そして、最終段の N 次昇圧回路に至ってから、所定の電圧に制御し、メモリセルに供給する。また、1 次昇圧回路以降にチャージポンプ回路を用いる場合にも、同様に必要に応じ各昇圧回路について、それぞれ固定の昇圧比で電圧を昇圧する。そして、最終段の N 次昇圧回路に至ってから、所定の電圧に制御し、メモリセルに供給する。

また、最終段の一つ手前の N-1 次昇圧回路で、所定の電圧に制御し、さらに最終段の N 次昇圧回路で固定の昇圧比で昇圧した後にメモリセルに供給するようにしても電圧の制御は可能であり、駆動回路 140 の回路規模の低減が可能となる。さらに、回路規模の低減と高精度な電圧をえることを両立させるために最終段 N 次昇圧回路と N-1 次昇圧回路の両方で電圧の制御を行うようにしても良い。

本発明によれば、1 次昇圧回路を DC-DC コンバータ回路としていることで、入力電源電圧が 1V 以下程度まで低下しても、インダクタンス電流を確保できるようスイッチング素子の駆動能力を決めることで昇圧が可能となる。つまり、インダクタンス素子に後段の負荷に必要なエネルギーを上回る磁界のエネルギーを蓄えることができれば昇圧が可能となる。また、駆動回路や電圧制御手段も簡単になり、昇圧電源回路のレイアウト面積を低減できる。

一方、従来のチャージポンプ回路では電荷をコンデンサに蓄え、そのコンデンサの片側端子にパルス状のバイアス電圧を加えて電荷を次ステップへ移送する。

そして電荷の逆流を防ぐためのダイオードが各ステップにある。1ステップ分の昇圧電圧は電源電圧からダイオード順方向降下電圧を差し引いた電圧となるため、電源電圧が1V程度まで低下するとダイオードの電圧が支配的になり、ほとんど昇圧が不可能になる。

5 図4は、最終段の出力電圧の大きさを制御する電圧制御手段910の一例を示すブロックダイアグラムである。この電圧制御手段910は、ゲートとドレインを短絡したMOS型のダイオード920を、そのしきい値電圧の和が所定の電圧となるよう複数個直列に接続し、かつ、第N段目の昇圧回路900の出力電圧が所定の電圧を越えた際に流れる電流が定電流となるような回路としている。昇圧回路900の出力端子には、平滑コンデンサ151が接続されている。

10 複数個直列に接続されたMOS型ダイオード920から取り出される電圧が所定の電圧を超えると定電流が流れ、コンパレータ922は停止信号を発生し、電圧の上昇を阻止する。一方、MOS型ダイオード920から取り出される電圧が所定の電圧以下に低下すると、コンパレータ922は発信器904へ起動信号を15 与え、第N段昇圧回路900の電圧を制御し、その出力電圧を上昇させる。なお、この実施例では最終段の昇圧回路に電圧制御手段を設けているが、最終段付近、例えばその前段に設け、最終段は一定の昇圧比とすることも可能である。

20 このように定電流を適当な定電圧に変換して、コンパレータ922によってこの定電圧と基準電圧を比較することにより、第N段目の昇圧回路900に入力される発振回路904の出力電圧をオン、オフさせて一定の所定電圧を得る。したがって、中間の電圧は固定した昇圧比で大まかに扱い、最終段の出力電圧のみを25 制御することで、回路規模の縮小が可能となる。

ここで、スイッチングデューティ比を一定として固定の昇圧比とすることにより、ゲート駆動回路140の回路規模の低減が可能となる理由を詳細に説明する。
25 まず比較のため、図30に示す入力電圧6101を出力電圧6102に昇圧する従来構成のDC-DCコンバータ回路の制御方式について説明する。

上記ゲート駆動回路140はゲート制御回路6140に対応している。まず出力電圧6102をフィルタ6141を通してフィードバックし、基準電圧発生回

路 6 1 4 2 の出力との誤差を誤差増幅器 6 1 4 3 で増幅する。

その後、誤差増幅器 6 1 4 3 の出力と三角波発生回路 6 1 4 4 の出力とを比較器 6 1 4 5 により比較してスイッチング素子 1 2 0 のオン又はオフを決定し、ゲート駆動回路 6 1 4 6 へ信号を送る。ゲート駆動回路 6 1 4 6 は、スイッチング

5 素子 1 2 0 のオン期間の比率を変化させることで出力電圧を一定に保持する。

このため、フィードバック用のフィルタ 6 1 4 1、基準電圧発生回路 6 1 4 2、誤差増幅器 6 1 4 3、三角波発生回路 6 1 4 4 及び比較器 6 1 4 5 などの回路ブロックが必要となる。一方、本発明の場合、DC-DCコンバータ回路単体では出力電圧のフィードバックは行わず、予め設定したスイッチングデューティ比に

10 従いスイッチング素子 1 2 0 を動作させるだけである。

そのため、上記のフィードバックのループ構成は不要となり固定のスイッチングデューティ比を生成する回路とゲート駆動回路のみで十分であり、その回路規模が低減できる。

さらに、ゲート駆動回路 1 4 0 が単純な構成になるため高周波動作が可能となる。その結果、インダクタンス値を小さく選べるのでインダクタンス素子 1 2 0 の占有面積も低減できる。

ゲート駆動回路 1 4 0 を構成する素子の製造上のばらつき等により、スイッチング周波数とスイッチングデューティ比は若干ばらつくが、上記のようにゲート駆動回路 1 4 0 の規模を絞り、単純な構成としても昇圧は可能である。

20 つまり、次段の第 2 段昇圧回路 2 0 0 がチャージポンプ回路の場合でも、ダイオードの順方向降下電圧の障壁を超える電圧を第 1 段昇圧回路 1 0 0 から出力できれば十分であり、スイッチングデューティ比により決まる昇圧比の精度は粗くてよい。なお、ゲート駆動回路 1 4 0 の規模は大きくなるが、スイッチングデューティ比を安定にするための制御回路を用いることもできる。

25 さらに、設計時だけでなく製造時、動作時においてもスイッチングデューティ比を外部から設定可能にする手段を設けても良い。以下、図 5 から図 7 にデューティ比生成回路とそのデューティ比を設定する手段の一例を示す。

図 5 はカウンタと比較器を用いたデューティ比生成回路を示すブロックダイア

グラムである。その回路の動作は発振器 7001 から矩形波 7002 を出力し、そのパルス数をカウンタ 7003 で数え、デューティ比設定部 7007 で設定したデジタル値 7008 とカウンタ出力 7004 を比較器 7005 で比較し、所望のデューティ比を持つスイッチング信号 7006 を生成する。

5 そして、スイッチング信号 7006 をゲート駆動回路 140 に入力し、スイッチング素子 120 を駆動できるように増幅した後、ゲートを駆動する。カウンタ 7003 として周期値とスイッチオン期間の値の組や周期が固定されたカウンタを用いた場合は、設定値 7008 はスイッチオンまたはオフ期間の値のみでも良い。この様にして発振器 7001 のデューティ比が管理されていない場合でも所望のスイッチングデューティ比を得ることが可能となる。

10 矩形波 7002 を発生する発振器 7001 は、デューティ比生成回路の一部として配置した図で説明したが、昇圧比の異なる DC-DC コンバータ昇圧回路を複数用いる場合は発振器を共通に用いても良いし、LSI 外部から供給されるクロックを矩形波 7002 として用いることも可能である。

15 なお、それぞれの昇圧回路のゲート駆動回路のすべてに発振器とデューティ比生成回路を設けても良い。また、発振器を共通とし、チャージポンプ回路方式の昇圧回路へはそのまま入力し、DC-DC コンバータ回路方式の昇圧回路へはデューティ比生成回路を個別に配置することも可能である。当然デューティ比の等しい昇圧回路はデューティ比生成回路を共有することが可能である。

20 図 6 は三角波出力の発振器を用いたデューティ比生成回路を示すブロックダイアグラムである。デューティ比設定部 7007 で設定した値 7008 を基に、しきい値電圧発生回路 7109 の出力であるしきい値 7110 を決める。そして、しきい値 7110 と三角波発振器 7101 からの三角波の瞬時値 7104 とを比較器 7105 で比較し、所望のデューティ比を持つスイッチング信号 7006 を生成する。

25 図 7 に発振器そのもののデューティ比を変更可能な発振回路の一例を示す。発振器 7501 はデューティ比設定部 7507 として 2 組の CR 遅延時定数 ($7507a * 7507c$ と $7507b * 7507d$) を持っている。

その比を $t_1 : t_2$ とすると、スイッチング信号 7006 のデューティ比は、 $t_1 : t_1 + t_2$ となる。デューティ比設定部 7507 は、抵抗 7507a が調整可能になっており、その他の静電容量 7507c、7507d は等しい値で固定であり、抵抗 7507b も固定となっている。

5 図 6、図 7 で述べたデューティ比設定部 7007 として、フューズ、配線マスクオプション、コンタクト配置のマスクオプション、または、実装時の端子接続オプション等による配線接続の有無により設定値 7008 を保持する方法と、不揮発性メモリやレジスタなどの書き換え可能な記憶素子により設定値を保持する方法がある。レジスタを用いた場合、電源投入時に値が定まる必要があり、不揮
10 発性メモリ等から設定値を読み込む構成が考えられる。

フューズや配線オプション等の配線接続の変更により、直接に抵抗値又は容量値等を変更することも可能であるが、間接的に設定値としても良い。逆に、デュ
15 ティ比設定に不揮発性メモリやレジスタ等の値を保持する手段を用いた場合、その値を基に抵抗値又は容量値等を変更するようにスイッチ素子を切り替える方
法も考えられる。

図 30 に示した従来の構成の DC-DC コンバータの比較器は、電圧を比較するため差動アンプを構成する必要がある。しかし、図 5 に示す本発明の実施例のカウンタを用いたデューティ比設定方式の比較器は、論理回路で構成が可能であり、回路面積は差動アンプに比べて小さい。図 6 では差動アンプが必要となるが、
20 フィードバック制御のループを構成せず、直接デューティ比を設定するので位相設計が容易となる。

図 5 から図 7 に示した実施例においては、スイッチングデューティ比により昇圧比を間接的に決定しているが、昇圧比をデューティ比に変換するブロック(図示せず)を設け、昇圧比を設定値としても良い。

25 このように昇圧比を設定変更可能とすることにより、高速動作時はメモリ LSI への入力電圧は 3V であるが、低消費電力動作時は 1V に下がるような場合、スイッチングデューティ比を動作モードに応じて LSI 内部で変更することにより、単純な回路構成のままで入力電圧の変化に対応することが可能である。高速動作品

種と、低速であるが低消費電力である品種を同一のチップとして製造し、出荷時に内部のレジスタを変更し品種を分けることも可能となる。

本実施例によれば第1段の昇圧回路をDC-DCコンバータ回路とすることで、
5 入力電源電圧が1V以下程度まで低下しても、インダクタンス電流を確保できる
ようにスイッチング素子120の駆動能力を決めるこにより昇圧が可能となる。
つまり、インダクタンス素子110に後段の負荷に必要なエネルギーを上回る磁界
のエネルギーを蓄えることができれば昇圧が可能となる。

また、駆動回路や電圧制御手段も簡単になり、昇圧電源回路のレイアウト面積
10 を低減できる。一方、チャージポンプ回路では電荷をコンデンサに蓄え、そのコ
ンデンサの片側端子にパルス状のバイアス電圧を加えて電荷を次のステップへ移
送する。そして電荷の逆流を防ぐためのダイオードが各ステップに必要である。

1ステップ分の昇圧電圧は、電源電圧からダイオードの順方向降下電圧を差し
引いた電圧となるため、電源電圧が1V程度まで低下するとダイオードの電圧が
支配的になり、ほとんど昇圧が不可能になる。

15 図8に本発明のオンチップコンバータの第1の実施例を示す。オンチップコン
バータを構成するインダクタンス素子110と、その周辺素子であるスイッチン
グ素子120、ダイオード130の配置およびインダクタンス素子との接続関係
を示した図であり、スイッチング素子120の形成領域をM、ダイオード130
の形成領域をDで示した。また、図9に本発明のオンチップコンバータの第1の
20 実施例の平面構成を示す。図9に示すようにコンバータは半導体チップの一部領
域に形成され、入力電源電圧101を図1に示した回路（図9ではコンバータ部
のみ示す）で昇圧した後にチップ内部の素子（例えばフラッシュメモリ素子；図
示せず）を駆動する。

25 インダクタンス素子110の第1の金属配線である金属配線部111は、図9
の半導体チップ内部にあるフラッシュメモリ素子の信号配線または電源配線に使
われる金属配線の内、フラッシュメモリ素子では信号配線に使われている2層目
の金属配線をスパイラル状にしたものであり、インダクタンス素子110のコア
部分は金属配線の配線層間絶縁膜および保護絶縁膜で形成される。

従来はチップ内にインダクタンス素子を作り込む場合、特別に厚さ数 μm の厚膜配線プロセスを追加するか、別プロセスで加工したものを張り合わせて、直列抵抗を下げていた。本発明では、上で述べたように例えばフラッシュメモリの配線プロセスに手を加えることなく、インダクタンス素子110をオンチップで作り込む。

なお、構造の詳細は、後ほど並列接続型インダクタンスの説明で略断面図；図16(a)～図16(c)を用いて述べる。

入力電源電圧101を供給する第2の金属配線がインダクタンス素子110の金属配線部111の外周端につながり、金属配線部111の内周端から基板側に下された層間接続配線181が、スイッチング素子120とダイオード130の拡散層(図示せず)をつなぐ第3の金属配線である1層目の金属配線m1と接続する。金属配線m1は金属配線m1aとm1bからなり、m1aはインダクタンス素子のほぼ一辺と同じ程度に一方向に延び、それを境にしてスイッチング素子120の形成領域Mとダイオード130の形成領域Dが分割され、m1bはm1aの複数ヶ所からm1aとは直交方向に延び、スイッチング素子120とダイオード130の拡散層(図示せず)と接続される。なお、簡単のために図8、図9では、スイッチング素子120およびダイオード130とインダクタンス素子110間の金属配線についてのみ示し、その他の配線は省略した(特に説明なければ、以下の図においても同様)。

また、図8においてインダクタンス素子110の金属配線部111の形状を簡単のために四角形としたが、八角形や十六角形など、他の多角形であっても良い。以下の実施例においても同様である。

本実施例のように、インダクタンス素子110の真下にスイッチング素子120とダイオード130を設け、金属配線部111の内周端から半導体基板側に向かって下した層間接続配線181を、スイッチング素子120とダイオード130の拡散層をつなぐ1層目の金属配線m1に接続させることにより、素子間の配線抵抗および寄生インダクタンスを小さくできるので、電源の効率を下げずにオンチップコンバータの小形化が図れ、スイッチング時のノイズも減らすことができ

る。

図10に本発明のオンチップコンバータの第2の実施例を示す。オンチップコンバータを構成するインダクタンス素子110と、その周辺素子であるスイッチング素子120、ダイオード130の配置およびインダクタンス素子との接続関係を示した図であり、スイッチング素子120の形成領域をM、ダイオード130の形成領域をDで示した。

図11は本発明のオンチップコンバータの第2の実施例の略断面を示す図である。図11において、1200はMOSトランジスタ（スイッチング素子120）やMOSダイオード（ダイオード130）が形成されるウエル拡散層、120D、120Sは各々スイッチング素子のドレイン領域、ソース領域を形成する拡散層、130A、130Kは各々ダイオードのアノード領域、カソード領域を形成する拡散層である。

スイッチング素子120の形成領域Mには、M1とM2の2つのトランジスタがソース領域を形成する拡散層120Sを共有して設けられており、コンタクト配線を介して拡散層120Sに接続された1層目（金属）配線はグランド電位に固定されたGND配線である。また、ダイオード130の形成領域Dには、D1とD2の2つのMOSダイオードがカソード領域を形成する拡散層130Kを共有して設けられており、コンタクト配線を介して拡散層130Kに接続された1層目（金属）配線はコンバータ回路の出力電位となるVout配線である。ゲート配線のうち、Gで示した配線がスイッチング素子120のゲート部であり、コンタクト配線および1層目（金属）配線を介して拡散層120D（130A）と接続された配線がMOSダイオード130のゲート部である。

そして、スイッチング素子120およびダイオード130はそれぞれ複数に分割され、スイッチング素子120のドレイン領域とダイオード130のアノード領域が向かい合って配置され、両領域は同じ拡散層120D（130A）に形成されている。M1とD2、あるいはM2とD1を組合せユニットと称し、スイッチング素子120とダイオード130は、組合せユニットを複数組並列に接続した構成になっている。

このような構成にすることにより、図8に示した第1の実施例と比べてスイッチング素子120とダイオード130間の配線距離が短くなり、配線抵抗や寄生のインダクタンスが減るので、インダクタンス素子の小型化やスイッチングノイズの低減が図れる。

5 以上述べたように、スイッチング素子120の真下にスイッチング素子120とダイオード130を設け、金属配線部111の外周端から基板側に下した層間接続配線181を、スイッチング素子120とダイオード130の拡散層をつなぐ1層目の金属配線m1と接続されることにより、素子間の配線抵抗および寄生インダクタンスを小さくできるので、電源の効率を下げずにオンチップコンバータの小形化が図れ、スイッチング時のノイズも減らすことができる。

10 図12に本発明のオンチップコンバータの第3の実施例を示す。本実施例は、図8においてインダクタンス素子110の金属配線部を複数個並列にしたものである。先の実施例（図8）でも述べたように、金属配線部111、112は、半導体チップ内部にあるフラッシュメモリ素子の信号配線または電源配線に使われる金属配線の内、フラッシュメモリ素子では各々信号配線と電源配線に使われている2層目と3層目の金属配線をそのまま使って各々形成されている。

15 複数の異なる配線層で平面形状を同一にしたスパイラル状インダクタンス素子の金属配線部111、112を、それらに電流を流した場合にできる磁束の向きが同じでかつ互いに磁束が貫くように重ね合わせて形成しこれらを並列に接続することが重要である。磁束が互いに干渉しないような配置で单一配線層のインダクタンス素子を並列接続した場合には、抵抗はk分の1（kは並列に接続したインダクタンス素子の数）になるが、インダクタンス値もk分の1に減少する。磁束が同じ方向に互いに貫くように重ねることで、抵抗をk分の1としながらインダクタンス値をもとの1層分のインダクタンス素子とほぼ同じにできる。これにより、フラッシュメモリ等の通常のLSI配線プロセスに手を加えることなく、低抵抗なインダクタンス素子をオンチップで作り込むことができる（図示はしていないが、各層間をスルーホール等で同電位の部分を接続してもよい）。

20 並列に接続したインダクタンス素子を形成する金属配線部111、112は、

各々スパイラル状であれば必ずしも同一形状、同一サイズでなくても良く、例えば 111 の形状は四角形で、112 の形状は八角形でも、互いに磁束が貫いていれば良い。また図 13 に示すように、111 を 112 に投影させた際に、111 および 112 のスパイラル中心点 111a、112a が、互いに他のスパイラル状金属配線部から外れていなければ、中心点が必ずしも一致していなくても良い。

また、多層の配線で並列接続したインダクタンス素子とすることにより、スイッチング素子 120 の動作を高周波化した際の表皮効果による抵抗上昇も抑えることもできる。インダクタンス素子をより小さくするためには高周波スイッチングが必要となるが、周波数が 20 MHz を超えると表皮効果が現れ、導体の表面のみに電流が集中する。この場合、例え厚さ数 μm の配線で低抵抗なインダクタンス素子を構成したつもりでも、導体断面の全体に電流が流れることができないので抵抗値が上昇する。ところが、複数配線層を並列に接続して構成したインダクタンス素子では、合計の断面積が同じ場合でもその導体表面積が厚膜配線よりも大きいので、表皮効果による抵抗の上昇が少なく抑えられるという利点がある。

図 14 に本発明のオンチップコンバータの第 4 の実施例を示す。本実施例は、図 12 において金属配線部 111 および 112 を各々 3 層目配線、4 層目配線で形成し、1 層目配線と 2 層目配線でスイッチング素子 120 とダイオード 130 の拡散層（図示せず）をつなぐ金属配線 m1 を形成した時の実施例である。1 層目の金属配線のシート抵抗が大きい時に金属配線部とスイッチング素子やダイオード間の配線抵抗を下げるのに有効である。

図 12 に示したインダクタンス素子の金属配線部 111 の平面図を図 15 に、その A-A'、B-B'、C-C' 断面図を各々図 16 (a) ~ 図 16 (c) に示す。

図 15 において、180a ~ 189a は各々層間接続配線 180 ~ 189 と金属配線部 111 の接続点を示したものである。

各々図 16 (a) ~ 図 16 (c) において、インダクタンス素子 110 は、2 層目および 3 層目の金属配線とその層間に設けられた配線層間絶縁膜および保護絶縁膜からなる並列接続型のインダクタンス素子である。つまり金属配線と配線

層間絶縁膜からなる複数層が並列に複数接続されたインダクタンス素子である。そして、インダクタンス素子を形成する金属配線は、図12および図15に示されるような複数層の金属配線からなるスパイラル状の配線であり、スパイラル状配線の外周端には入力電源電圧101が供給される。各スパイラル状配線において、外周端は層間接続配線180で互いに接続され、内周端から基板側に下した層間接続配線181が1層目の金属配線m1aと交わる；図16(a)。そして、金属配線m1aはインダクタンス素子のほぼ一辺と同じ位にB-B'方向に延びる；図16(b)。金属配線m1aを境にしてスイッチング素子120の形成領域M(図16の120a)とダイオード130の形成領域D(図16の130a)が分割され、m1aの複数ヶ所からC-C'方向に金属配線m1bが延び；図12、スイッチング素子120とダイオード130の拡散層(図示せず)と接続される；図16(c)。

図17は本発明の昇圧回路と従来昇圧回路について、7Vまで1次昇圧電圧した時の面積比と電源電圧の関係を示した説明図である。チャージポンプ回路を用いた従来昇圧回路では電源電圧の低下と共に回路面積が増加し、電源電圧が2V以下で面積が急激に大きくなるのに対して、本発明の昇圧回路を用いれば回路面積の増加はほとんど無く、約2.5Vで従来回路方式より面積が小さくなる。従来昇圧回路の面積が電源電圧2V以下で急激に大きくなる理由は、チャージポンプ回路ではポンプ一段あたりの昇圧電圧が、電源電圧からMOS型ダイオード降下電圧(基板バイアスの影響を受け、およそ1V以上)を差し引いた電圧になるため、昇圧に必要なチャージポンプ回路の段数が増大するためである。これに対して本発明では、第1次昇圧回路出力電圧102が7V程度の場合、1段で昇圧することが可能なため、MOS型ダイオード降下電圧の影響はあまり受けない。

図18は本発明の昇圧回路と従来昇圧回路について、7Vまで1次昇圧電圧した時の面積比と動作周波数の関係を示した説明図である。昇圧回路の動作周波数がおよそ10MHz以上になると、本発明の昇圧回路の方が従来の昇圧回路よりもサイズが小さい。これは、チャージポンプ回路のサイズをほぼ決めているコンデンサのサイズが、ポンプの切り換え動作周波数に反比例するのに対して、DC

—DCコンバータ回路のサイズをほぼ決めているインダクタンス素子のサイズは、スイッチング周波数の2乗に反比例するためである。

図19に本発明のオンチップコンバータの第5の実施例を示す。簡単のためにスイッチング素子120、ダイオード130の配置は図示しないが、図12に示したコンバータと同等の構成でサイズを小さくしたものが4個並んでいる。図2に示したDC-DCコンバータ回路の最大消費電流と平均電流は、インダクタンス電流ILによって決まり、最大電流は大きくなり平均電流のおよそ2倍である。このため、フラッシュメモリの入力電源への負担が大きくなる場合がある。

これを解決するために、図19に示すように、図12のインダクタンス素子110を合計のインダクタンス値が同じとなるように複数組（図では110a、110b、110c、110dの4組）に分割すると共にスイッチング素子も4個設け、図20に示すようにスイッチングの位相に差を付けて並列動作させ、インダクタンス電流の合計のピークを低減する。

インダクタンス素子一つの面積をk分の1とし、k個並列動作の場合、スイッチング周波数を $\sqrt{(k^3)}$ 倍とすれば平均電流はk分割前と同一となる。各相の最大電流はk分の1となり、その合計は1より小さくなるため合計の最大電流を減らすことが可能となる。更に、スイッチングの位相を周期のk分の1ずつ差をつけて並列動作させるとインダクタンス電流の合計は最も小さくすることができ、最大電流を低減できる。

また、昇圧比とスイッチングデューティ比の関係は前述したが、この昇圧比（＝スイッチングデューティ比の逆数）と昇圧回路並列分割数を等しくし、スイッチング周期を等分割するように位相差を設けて動作すると、各相の合計電流のリップルがなくなり、平均電流と合計最大電流がほぼ一致するようになる。また、分割した場合はインダクタンス素子の配置に自由度が増す。例えば正方形領域だけではなく長方形の領域にも配置が可能となる。

図21は図1の実施例のN=2の場合で、かつ、第1段の昇圧回路100の出力にリミッタ103を配置する。この場合、第2段の昇圧回路200の動作開始に備えて予め昇圧を中間段階まで進めておくことができるため、全体の昇圧動作

が速くなり、メモリアクセス速度が向上する。なお、リミッタ103、203には、図1の電圧制御手段910の一例として説明したものと同様の回路方式を用いることができる。

図22は、本発明の他の実施例であるフラッシュメモリ内部の昇圧回路の構成5を示す図である。フラッシュメモリ内部の昇圧電源回路は、複数の電圧を出力しメモリセルに供給するが、本実施例ではその一部を抜き出して説明する。第1段の昇圧回路5100にはフラッシュメモリへの入力電源電圧5101が入力されている。

そして、第1段の昇圧回路5100の出力には第2段の昇圧回路5200が接続され、以下順にN段昇圧回路まで直列に接続される。N段昇圧回路5900はその出力電圧5902を制御する電圧制御手段5910を有し、その先にメモリセル1000が接続される。第1段昇圧回路5100はチャージポンプ回路であり、第2段昇圧回路5200はDC-DCコンバータ回路を用いる。

ここでは図示していないが第3段昇圧回路から第N段昇圧回路900は昇圧型のDC-DCコンバータ回路か、チャージポンプ回路で構成している。第1段昇圧回路にチャージポンプ回路を用いて入力電源電圧 V_{in} を a 倍に昇圧した場合、第2段昇圧回路の入力最大電流 I_{in2} はインダクタンス素子とスイッチング素子の直流抵抗を R_{dc} としたとき $I_{in2} = a * V_{in} / R_{dc}$ となる。

インダクタンス値を L とすれば蓄えられるエネルギーは $1/2L*I_{in2}^2*t$ となるため、入力電源電圧をそのままDC-DCコンバータ回路に入力するよりも蓄えられるエネルギーが a の2乗倍となる。このような理由から、第1段昇圧回路をチャージポンプ回路とし、第2段昇圧回路をDC-DCコンバータ回路とすることで、効率的な昇圧回路を構成できる。

ただし、第1段昇圧回路の昇圧比を第2段昇圧回路の昇圧比よりも高くすると、逆にチャージポンプ回路の規模が大きくなるため面積が増大する可能性がある。このため第1段昇圧回路の昇圧比よりも第2段の昇圧回路の昇圧比を大きくすることが必要となる。

図23に本発明のオンチップコンバータを用いた降圧回路の実施例を示す。コ

ンバータ回路は、インダクタンス素子110、スイッチング素子121、ダイオード131、スイッチング素子のゲート駆動回路141、出力電圧を制御する制御回路142、および出力平滑コンデンサ151で構成される。本コンバータ回路に入力された高電圧1010は所定の低電圧1020となって出力される。

5 オンチップコンバータを形成するインダクタンス素子110とその周辺素子であるスイッチング素子121、ダイオード131の配置、配線と平面構成および断面構成は、素子の極性を除けば各々図8、図10、図12、図14と図9、図11および図16(a)～図16(c)とほぼ同じであるが、図24に示すようにインダクタンス素子110の金属配線部111には、入力電源電圧101を供給する配線ではなくて、降圧された電圧を出力する第4の金属配線がつながる。

また、図11に示した構成と同様に、スイッチング素子121とダイオード131を組合せユニットが並列に複数組接続された構成にする場合、組合せユニットを、スイッチング素子のソース領域とダイオードのカソード側領域を互いに向き合わせて半導体基板上に配置し、両領域を電気的に接続した構成にすれば良い。

15 尚、本実施例の降圧回路は、図1に記載の昇圧回路100、200、900と同様に複数段備えても良い。

つまり、入力電圧に対して1次の降圧回路又は、それらを複数用いた複数段の降圧回路群により降圧され、最終段の降圧回路から出力される降圧された最終出力電圧を制御する電圧制御部を備えた半導体装置の構成とすることができる。

20 図25に本発明のオンチップDC-DCコンバータを用いたフラッシュメモリ内蔵マイコンの構成を示す。フラッシュメモリ内蔵マイコン300は、CPU310、フラッシュメモリ320、RAM330、I/O部340などから成る。I/O部340にはシリアルI/O、プログラマブル入出力ポート、A-D変換、D-A変換などが含まれる。そしてフラッシュメモリ320では、例えば図1で示された昇圧回路および図4で示されたオンチップコンバータが用いられている。

25 図26は、本発明のオンチップコンバータを用いたフラッシュメモリ内蔵マイコン300を使ったシステムボード3000の構成を示したものである。システムボード3000には、フラッシュメモリ内蔵マイコン300の他に、マイコン

制御の対象となる応用システム用のLSIや個別部品3100が搭載されており、システムボード3000はパソコン3200とシリアルI/F等で接続され、応用システムのアプリケーションプログラムがパソコン3200からフラッシュメモリ内蔵マイコン300の内蔵フラッシュメモリ320に転送、書き込まれる。

5 本実施例で示したフラッシュメモリ内蔵マイコン300は、エンジン制御やボディ制御などの車載マイコンや、プラズマディスプレイパネル(PDP)やDVD関連機器などのシステム制御マイコンとして幅広い用途に適用可能である。

図27に本発明の半導体装置を複数個重ねて実装する際に用いる2種類の半導体装置10および20の内部ブロック構成図を、図28に半導体装置10および10を重ねてカードに実装したマルチチップ型半導体装置の略断面構成図を示す。図27において、10は第1の半導体装置、20は第2の半導体装置、11, 21はメモリセル領域、12, 22は周辺回路領域、1110, 1120は本発明で述べた1次昇圧回路100を含む昇圧回路領域である。ここで半導体装置20は、半導体装置10の素子レイアウトを鏡反転した構成をもつ。このため、半導体装置10の昇圧回路領域1110内部にあるインダクタンス素子110はチップの左半分の領域に、半導体装置20の昇圧回路領域1120内部にあるインダクタンス素子110はチップの右半分の領域に設けられている。図28において、40はメモリカード、30はCPU、31はCPUと第1の半導体素子10および第2の半導体素子20の電極パッド間を結ぶボンディングワイヤである。そして、半導体装置10, 20のa-a'断面、b-b'断面が各々図28の断面となるように重ねられている。例えば図28において、半導体装置10の昇圧回路領域1110の図面奥側は周辺回路領域12となる。

本発明の昇圧回路を適用した半導体装置を適用したメモリカードの構成を以下に記します。

25 本発明は、電源電圧を所定の最終出力電圧まで昇圧する複数段の昇圧回路群と、その最終段付近の昇圧回路に接続され、且つ最終出力電圧を制御する電圧制御部と、その最終出力電圧が供給される内部素子とを備え、最初段の昇圧回路は、インダクタンス素子と、スイッチング素子と、ダイオードと、そのスイッチング素

子を駆動する駆動回路とを有するコンバータ回路を備え、スイッチング素子とダイ

オードの一部は、インダクタンス素子の下方に配置された半導体装置と、制御す

るC P Uとを備え、その半導体装置は複数有し、各々の半導体装置はポンディング

5 グワイヤでC P Uと接続され、各々の半導体装置は重ね合わせて配置され、隣接する半導体装置内のインダクタンス素子は、インダクタンス素子の真上方向及び真下方向には他の半導体装置内のインダクタンス素子が互いに重なり合わないよう

うに配置された構成である。

このように半導体装置を複数個重ねて実装する場合、隣接する半導体装置間で

10 インダクタから発生する磁束同士が干渉して、動作が不安定になることも起こり得る。そこで、その様な場合には図27に示すような第1、第2の半導体装置を図28に示すように互いに重ね合わせることにより、インダクタンス素子は互いに上下で重なり合わないので、磁束同士の干渉は生じない。

なお、以上で述べた実施例では本発明を適用した半導体装置としてフラッシュメモリを例にとり説明したが、電源電圧よりも高い電圧を内部回路で発生し、内部の素子を駆動するもの全てに対して本発明は適用できる。不揮発性メモリやその他メモリ以外の半導体装置、例えばマイクロプロセッサ／コントローラなどの半導体装置に適用可能であり、乾電池1本の電圧で駆動できるようになるなどの効果がある。

20 また図28において、フラッシュメモリと共にS R A MやD R A M等のメモリを重ね合わせてもよい。

更に本発明によれば、電源電圧を1V程度まで下げることが可能で実装面積も小さくなるので、本発明の半導体装置またはマルチチップ型半導体装置を携帯電話やP D A等の携帯電子機器に適用すれば、機器の低消費電力化、小型化、かつ25 実装コストの低減が可能となる。

以上の説明で使用した符号は、次の部品を示している

1 0…第1の半導体装置、1 1、2 1…メモリセル領域、1 2、2 2…周辺回路領域、2 0…第2の半導体装置、3 0…C P U、4 0…メモリカード、1 0 0

…1次昇圧回路、101…入力電源電圧、102…1次昇圧回路の出力電圧、
103, 203…リミッタ、104, 204…発信器、110…インダクタンス
素子、120, 121…スイッチング素子、130, 131, 170…ダイオード、
140, 141…スイッチング素子のゲート駆動回路、142…制御回路、
5 150, 151…出力平滑コンデンサ、160…コンデンサ、200…2次昇圧
回路、900…N次昇圧回路、902…出力電圧、910…電圧制御部、1000…
メモリセル、1110, 1120…昇圧回路領域。

産業上の利用可能性

10 本発明では、電源の効率を下げずに小型化が図れ、スイッチング時のノイズを
低減できる半導体装置及びそれを用いたメモリカードを提供することができる。

請求の範囲

1. 電源電圧を所定の最終出力電圧まで昇圧する複数段の昇圧回路群と、前記昇圧回路群の最終段付近の昇圧回路に接続された出力電圧制御手段と、前記昇圧回路群の出力が供給される内部素子とを備え、前記昇圧回路群のうち、電源電

5 圧を第1次電圧まで昇圧する第1段昇圧回路は、インダクタンス素子、スイッチング素子およびダイオードを含むコンバータ回路で構成され、前記第1次電圧を所定の最終電圧まで昇圧する第1段目以降の昇圧回路は、キャパシタンス素子とダイオードを含むチャージポンプ回路、またはインダクタンス素子、スイッチング素子およびダイオードを含むコンバータ回路で構成され、前記昇圧回路を構成するインダクタンス素子、スイッチング素子、およびダイオード、前記出力電圧制御手段、前記内部素子は半導体基板上に形成され、

前記出力電圧制御手段は、前記最終段付近の昇圧回路を制御し、その出力を前記内部素子に供給することを特徴とする半導体装置。

2. 電源電圧を所定の最終出力電圧まで昇圧する複数段の昇圧回路群と、前記昇圧回路群の最終段付近の昇圧回路に接続された出力電圧制御手段と、前記昇圧回路群の出力が供給される内部素子とを備え、前記昇圧回路群のうち、電源電圧を第1次電圧まで昇圧する第1段昇圧回路は、キャパシタンス素子とダイオードを含むチャージポンプ回路で構成され、前記第1次電圧を所定の最終電圧まで昇圧する第1段目以降の昇圧回路のいずれかの昇圧段は、インダクタンス素子、

20 スイッチング素子およびダイオードを含むコンバータ回路で構成され、前記昇圧回路を構成するインダクタンス素子、スイッチング素子、およびダイオード、前記出力電圧制御手段、前記内部素子は半導体基板上に形成され、

前記出力電圧制御手段は、前記最終段付近の昇圧回路を制御し、その出力を前記内部素子に供給することを特徴とする半導体装置。

25 3. 請求項2記載の半導体装置において、前記第1段昇圧回路の昇圧比が、前記第1段目以降にあるコンバータ回路の昇圧比より小さい半導体装置。

4. 請求項1記載の半導体装置において、前記電源電圧が2.5V以下である半導体装置。

5. 請求項1記載の半導体装置において、前記コンバータ回路のうち、少なくとも一つのコンバータ回路は、昇圧動作時に昇圧比が設定値に維持されるようにした半導体装置。

6. 請求項1記載の半導体装置において、前記コンバータ回路のうち、少なくとも一つのコンバータ回路において、昇圧動作時に昇圧比が設定値に維持されるようにし、かつ、その昇圧比を任意に設定する手段を有する半導体装置。
5

7. 請求項1記載の半導体装置において、前記コンバータ回路のうち少なくとも一つのコンバータ回路は、昇圧動作時のスイッチングデューティ比が設定値に維持されるようにした半導体装置。

10 8. 請求項1記載の半導体装置において、前記コンバータ回路のうち少なくとも一つのコンバータ回路は、そのスイッチング周波数が10MHz以上である半導体装置。

15 9. 請求項1記載の半導体装置において、前記インダクタンス素子が複数層の金属配線と、その配線層間に設けられた絶縁膜からなり、前記複数層の金属配線が並列に接続された並列接続型のインダクタンス素子である半導体装置。

10 10. 請求項9記載の半導体装置において、前記インダクタンス素子を形成する金属配線がスパイラル状の配線であり、前記スパイラル状配線の外周端は前記電源電圧を供給する配線に接続され、内周端はインダクタンス素子下側の素子領域に形成された前記スイッチング素子の拡散層へ金属配線を介して接続されている半導体装置。
20

11. 請求項1記載の半導体装置において、電源電圧より高い電圧を印加して動作させる前記内部素子が、不揮発性メモリである半導体装置。

12. 請求項1記載の半導体装置の半導体装置を用いたメモリカード。

13. 電源電圧を所定の最終出力電圧まで昇圧する複数段の昇圧回路群と、

25 前記複数段の昇圧回路群内の昇圧回路に接続され、最終段付近の出力電圧を制御する電圧制御部と、

前記複数段の昇圧回路群からの最終出力電圧が供給される内部素子とを有し、前記複数段の昇圧回路群内に、少なくともインダクタンス素子と、スイッチン

グ素子と、ダイオードと、前記スイッチング素子を駆動する駆動回路とを有するコンバータ回路を有し、

前記コンバータ回路の前記インダクタンス素子は、前記内部素子の信号配線または電源配線に使われる金属配線と同一の工程で形成される金属配線を少なくとも含むことを特徴とする半導体装置。

14. 請求項13記載の半導体装置において、前記インダクタンス素子は、複数層の金属配線が並列に接続された並列接続型のインダクタンス素子であることを特徴とする半導体装置。

15. 請求項13記載の半導体装置を用いたメモリカード。

16. 請求項14記載の半導体装置において、前記半導体装置はフラッシュメモリまたはフラッシュメモリ内蔵マイコンであることを特徴とする半導体装置。

17. 請求項14記載の半導体装置において、前記インダクタンス素子を形成する前記複数層の金属配線が、それらを投影して重ねた際にインダクタンス素子を形成する各金属配線の各領域の中心点が互いに他の金属配線の領域内にあることを特徴とする半導体装置。

18. 電源電圧を所定の最終出力電圧まで昇圧する複数段の昇圧回路群と、前記複数段の昇圧回路群内の昇圧回路に接続され、最終段付近の出力電圧を制御する電圧制御部と、前記複数段の昇圧回路群からの最終出力電圧が供給される内部素子とを有し、前記複数段の昇圧回路群内に、少なくともインダクタンス素子と、スイッチング素子と、ダイオードと、前記スイッチング素子を駆動する駆動回路とを有するコンバータ回路を有し、前記コンバータ回路の前記インダクタンス素子は、前記内部素子の信号配線または電源配線に使われる金属配線と同一の工程で形成される金属配線を少なくとも含む半導体装置を複数有し、

複数の前記半導体装置は、各々重ね合わせて配置され、隣接する前記半導体装置内の前記インダクタンス素子は、前記インダクタンス素子の真上方向及び真下方向には他の半導体装置内のインダクタンス素子が互いに重なり合わないように配置されていることを特徴とするマルチチップ型半導体装置。

19. 請求項18記載のマルチチップ型半導体装置において、

前記複数の半導体装置は半導体チップ上に形成され、

前記半導体装置の前記インダクタンス素子を半導体チップの一方半分側の一部に形成し、前記半導体装置に隣接する他の半導体装置のインダクタンス素子をチップの他方半分側の一部に形成することを特徴とするマルチチップ型半導体装置。

5 20. 請求項18記載のマルチチップ型半導体装置において、

前記インダクタンス素子は、複数層の金属配線が並列に接続された並列接続型のインダクタンス素子であることを特徴とするマルチチップ型半導体装置。

21. 請求項18記載のマルチチップ型半導体装置において、

前記半導体装置はフラッシュメモリまたはフラッシュメモリ内蔵マイコンであることを特徴とするマルチチップ型半導体装置。

22. 請求項18記載のマルチチップ型半導体装置において、

前記インダクタンス素子を形成する前記複数層の金属配線が、それらを投影して重ねた際にインダクタンス素子を形成する各金属配線の各領域の中心点が互いに他の金属配線の領域内にあることを特徴とするマルチチップ型半導体装置。

15 23. 電源電圧を所定の最終出力電圧まで昇圧する複数段の昇圧回路群と、

前記複数段の昇圧回路群内の昇圧回路に接続され、最終段付近の出力電圧を制御する電圧制御部と、

前記複数段の昇圧回路群からの最終出力電圧が供給される内部素子とを有し、

前記複数段の昇圧回路群内の第1段の昇圧回路は、インダクタンス素子と、スイッチング素子と、ダイオードと、前記スイッチング素子を駆動する駆動回路とを有するコンバータ回路を有し、

前記コンバータ回路の前記スイッチング素子及び前記ダイオードの一部は、前記インダクタンス素子の下方に配置されたことを特徴とする半導体装置。

24. 入力電圧を所定の最終出力電圧まで降圧する降圧回路と、

前記降圧回路は、インダクタンス素子と、スイッチング素子と、ダイオードと、前記スイッチング素子を駆動する駆動回路と、出力電圧を制御する制御回路とを有するコンバータ回路を有し、

前記コンバータ回路の前記スイッチング素子及び前記ダイオードの一部は、前

記インダクタンス素子の下方に配置されたことを特徴とする半導体装置。

25. 請求項23記載の半導体装置において、

前記インダクタンス素子を形成するスパイラル状に配線された第1の金属配線と、

5 前記第1の金属配線の外周端に接続され、前記電源電圧を供給する第2の金属配線と、

前記第1の金属配線の内周端に接続され、前記内周端から下方に形成された前記スイッチング素子及び前記ダイオードの拡散層へ向けて配線された層間接続配線と、

10 前記スイッチング素子及び前記ダイオードの拡散層間を接続する第3の金属配線と、を有することを特徴とする半導体装置。

26. 請求項24記載の半導体装置において、

前記インダクタンス素子を形成するスパイラル状に配線された第1の金属配線と、前記第1の金属配線の内周端に接続され、前記内周端から下方に形成された

15 前記スイッチング素子及び前記ダイオードの拡散層へ向けて配線された層間接続配線と、前記スイッチング素子及び前記ダイオードの拡散層間を接続する第3の金属配線と、前記第1の金属配線の外周端に接続され、降圧された前記最終出力電圧を出力する第4の金属配線と、を有することを特徴とする半導体装置。

27. 請求項23記載の半導体装置において、

20 前記スイッチング素子及び前記ダイオードは、前記スイッチング素子のドレン側領域と前記ダイオードのアノード側領域が互いに向き合って半導体基板上に配置され、かつ両領域が電気的に接続されたスイッチング素子とダイオードの組合せユニットを、少なくとも2組以上並列に接続した構成を有することを特徴とする半導体装置。

28. 請求項24記載の半導体装置において、

前記スイッチング素子及び前記ダイオードは、前記スイッチング素子のソース側領域と前記ダイオードのカソード側領域が互いに向き合って半導体基板上に配置され、かつ両領域が電気的に接続されたスイッチング素子とダイオードの組合

せユニットを、少なくとも2組以上並列に接続した構成を有することを特徴とする半導体装置。

29. 請求項23記載の半導体装置において、

前記インダクタンス素子は、前記第1の金属配線と配線層間絶縁膜とを有する

5 複数層が並列に複数接続されたことを特徴とする半導体装置。

30. 請求項23記載の半導体装置において、

前記半導体装置は不揮発性メモリまたは不揮発性メモリ内蔵マイコンであることを特徴とする半導体装置。

31. 請求項30記載の半導体装置において、

10 前記不揮発性メモリまたは不揮発性メモリ内蔵マイコンは、フラッシュメモリまたはフラッシュメモリ内蔵マイコンであることを特徴とする半導体装置。

32. 電源電圧を所定の最終出力電圧まで昇圧する複数段の昇圧回路群と、前記複数段の昇圧回路群内の昇圧回路に接続され、最終段付近の出力電圧を制御する電圧制御部と、前記複数段の昇圧回路群からの最終出力電圧が供給される内部素子とを有し、前記複数段の昇圧回路群内の第1段の昇圧回路は、インダクタンス素子と、スイッチング素子と、ダイオードと、前記スイッチング素子を駆動する駆動回路とを有するコンバータ回路を有し、前記コンバータ回路の前記スイッチング素子及び前記ダイオードの一部は、前記インダクタンス素子の下方に配置された半導体装置を複数有し、

20 複数の前記半導体装置は、各々重ね合わせて配置され、隣接する前記半導体装置内の前記インダクタンス素子は、前記インダクタンス素子の真上方向及び真下方向には他の半導体装置内のインダクタンス素子が互いに重なり合わないように配置されていることを特徴とするマルチチップ型半導体装置。

33. 請求項32記載のマルチチップ型半導体装置において、

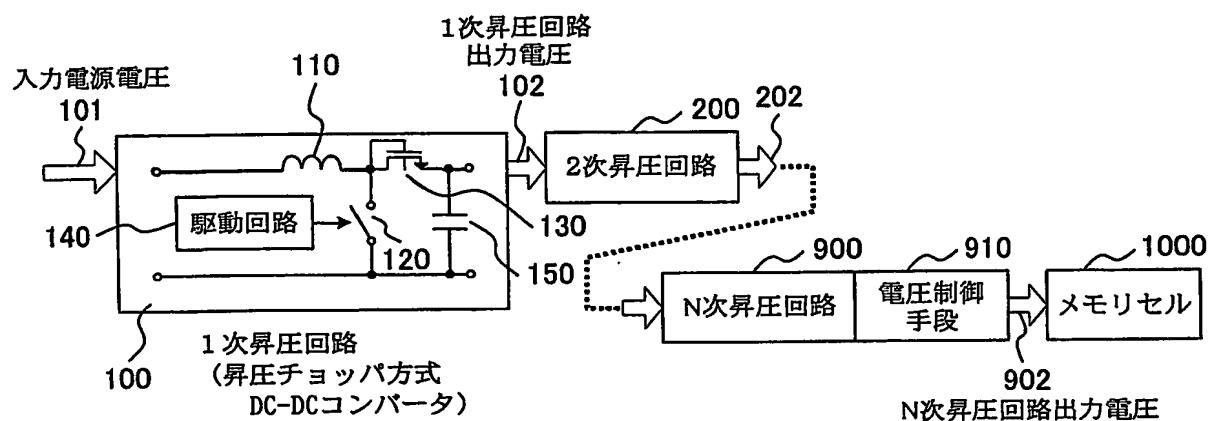
25 前記複数の半導体装置は半導体チップ上に形成され、

前記半導体装置の前記インダクタンス素子を半導体チップの一方半分側の一部に形成し、前記半導体装置に隣接する他の半導体装置のインダクタンス素子をチップの他方半分側の一部に形成することを特徴とするマルチチップ型半導体装置。

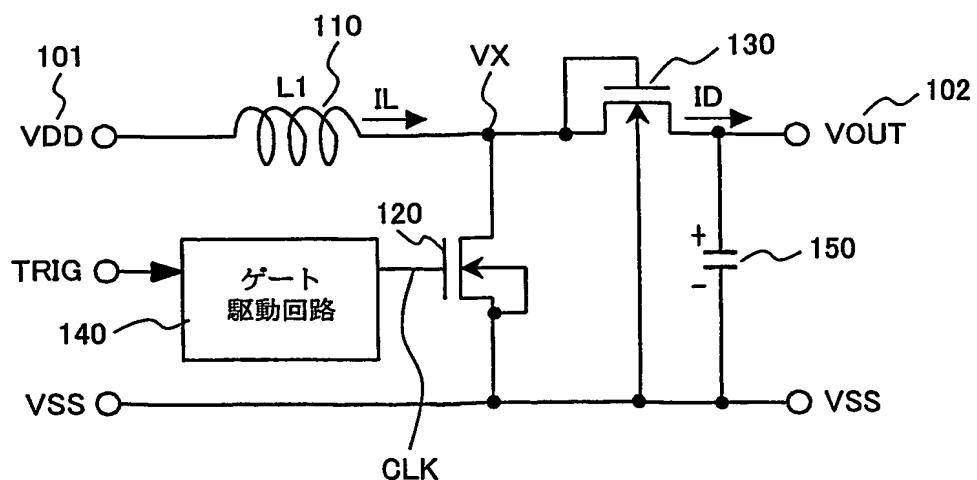
34. 請求項32記載のマルチチップ型半導体装置において、
前記複数の半導体装置の各々は不揮発性メモリまたは不揮発性メモリ内蔵マイ
コンであることを特徴とするマルチチップ型半導体装置。

35. 請求項32記載のマルチチップ型半導体装置において、
5 前記不揮発性メモリまたは不揮発性メモリ内蔵マイコンはフラッシュメモリま
たはフラッシュメモリ内蔵マイコンであることを特徴とするマルチチップ型半導
体装置。

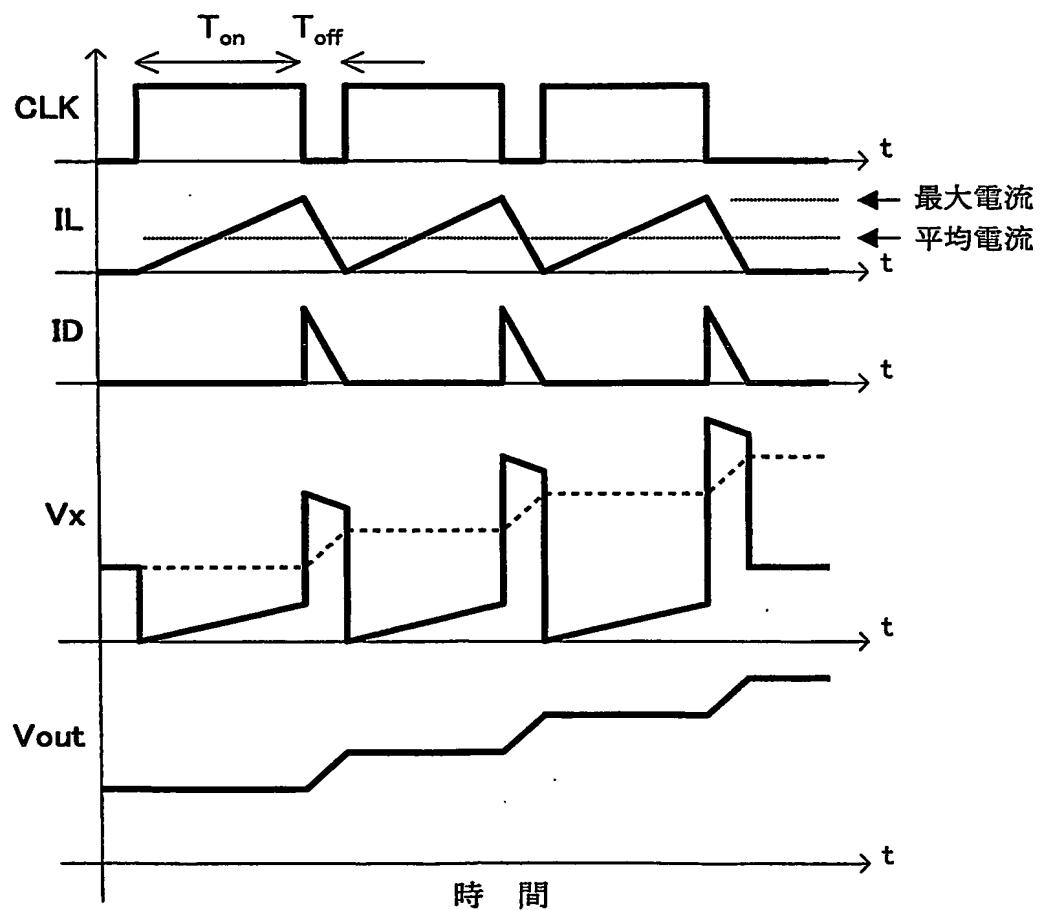
第1図



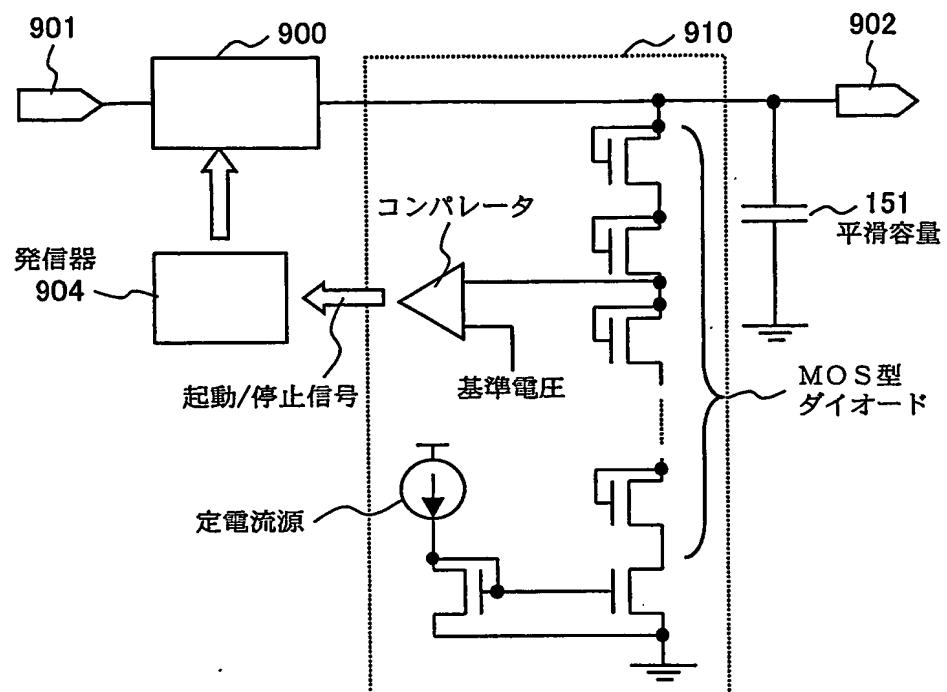
第2図



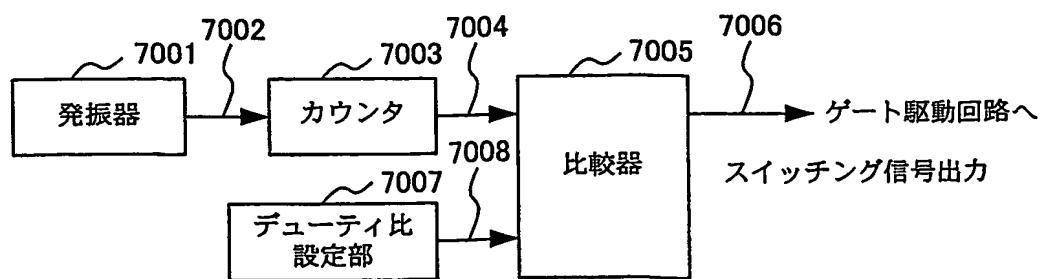
第3図



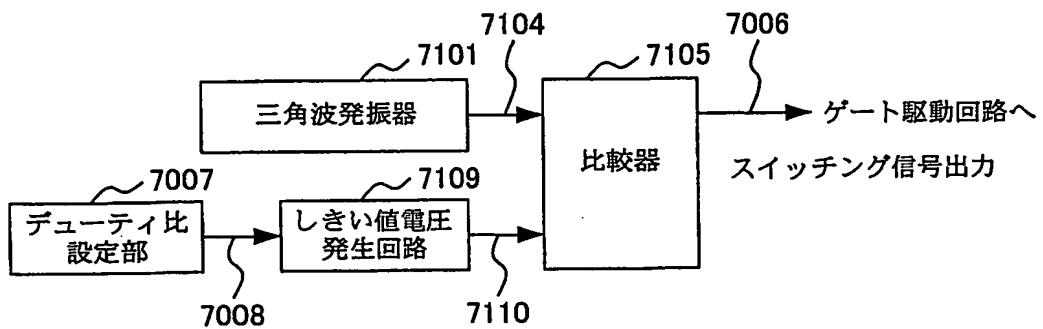
第4図



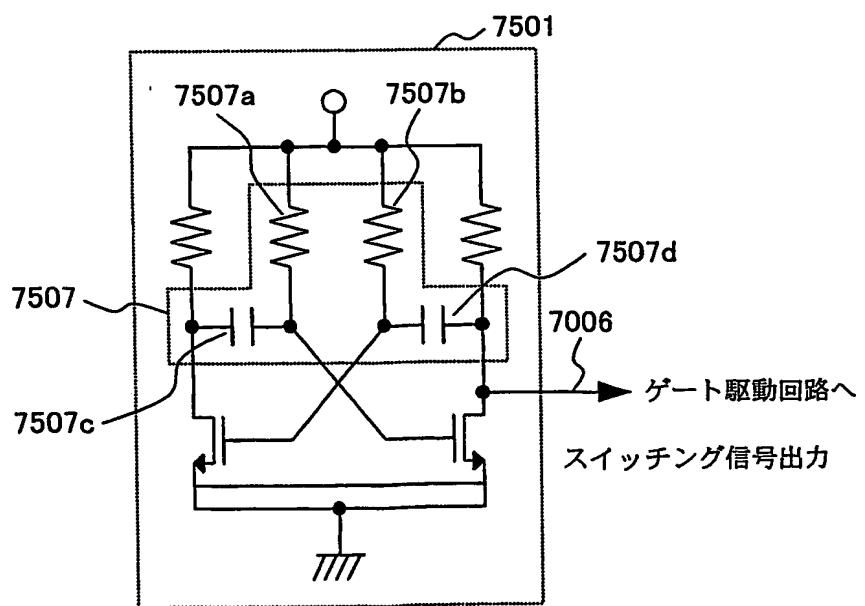
第5図



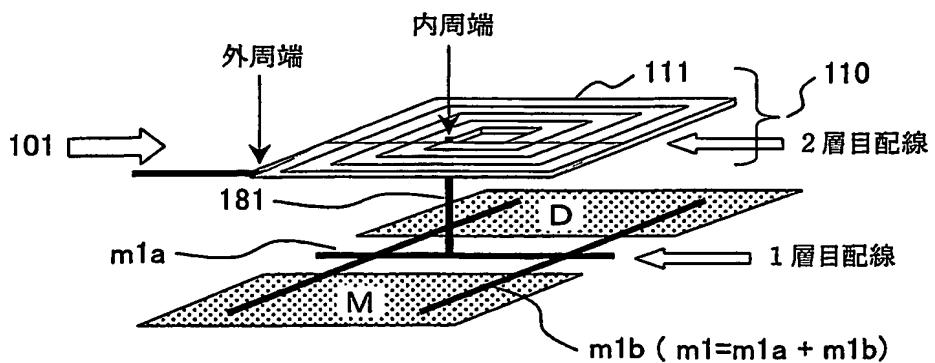
第6図



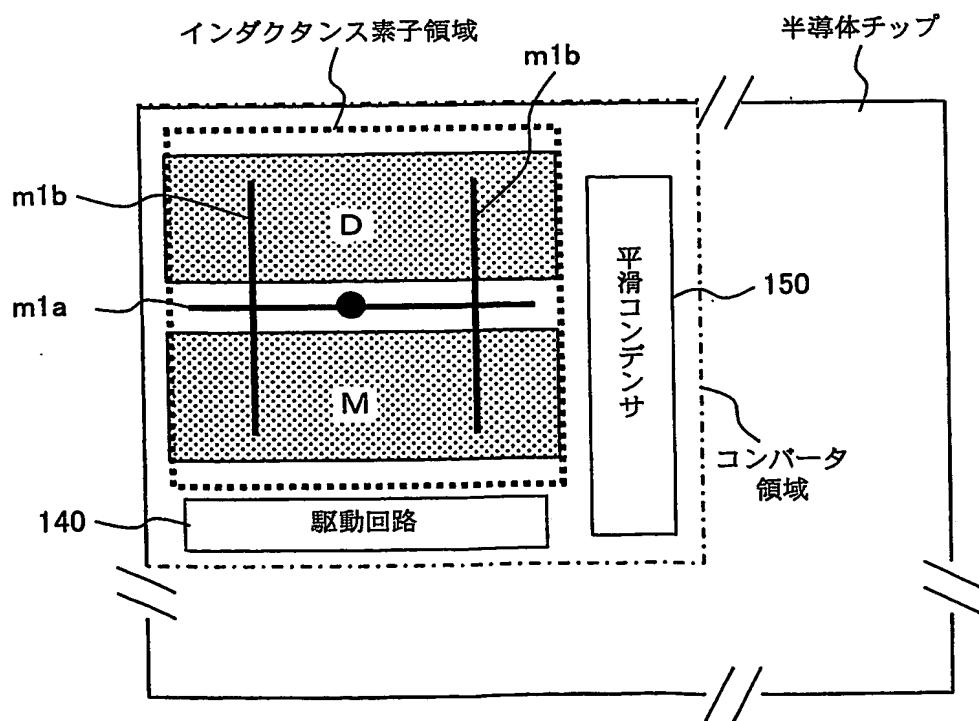
第7図



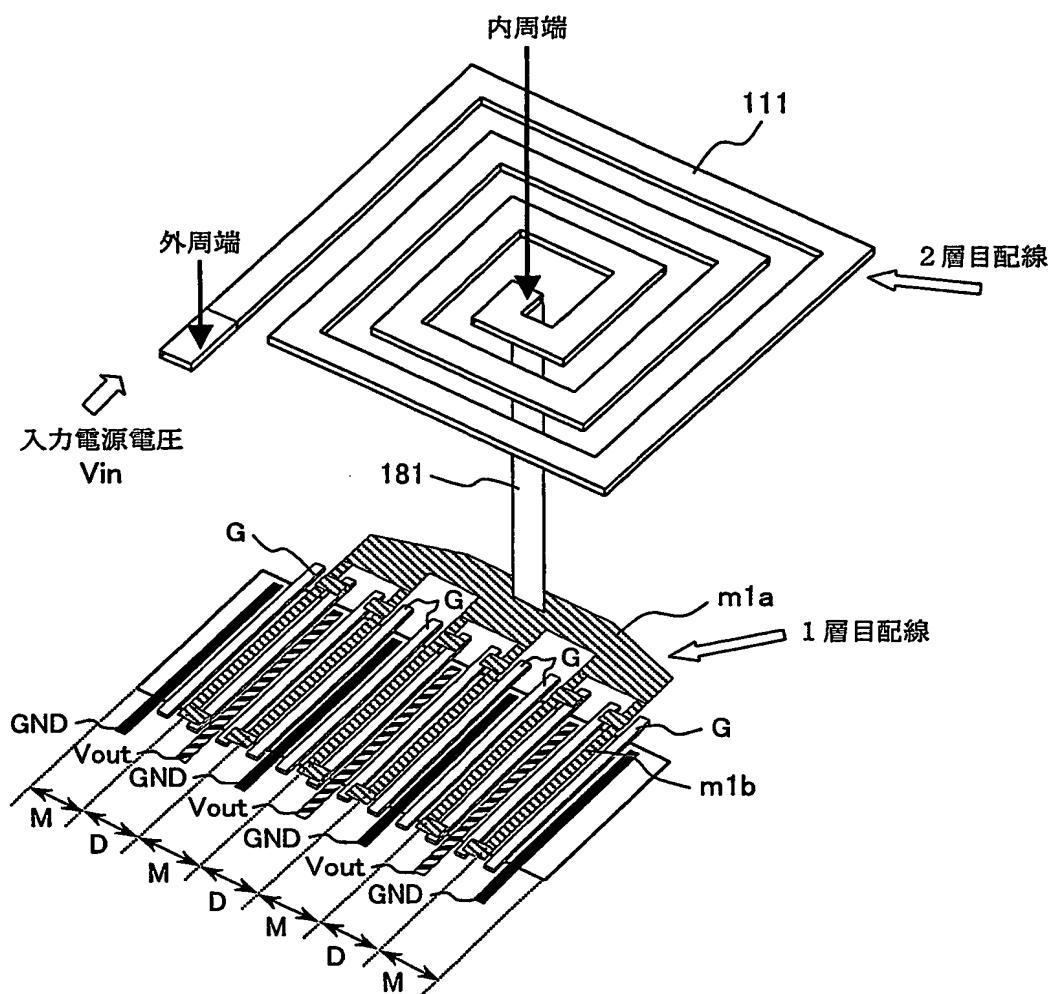
第8図



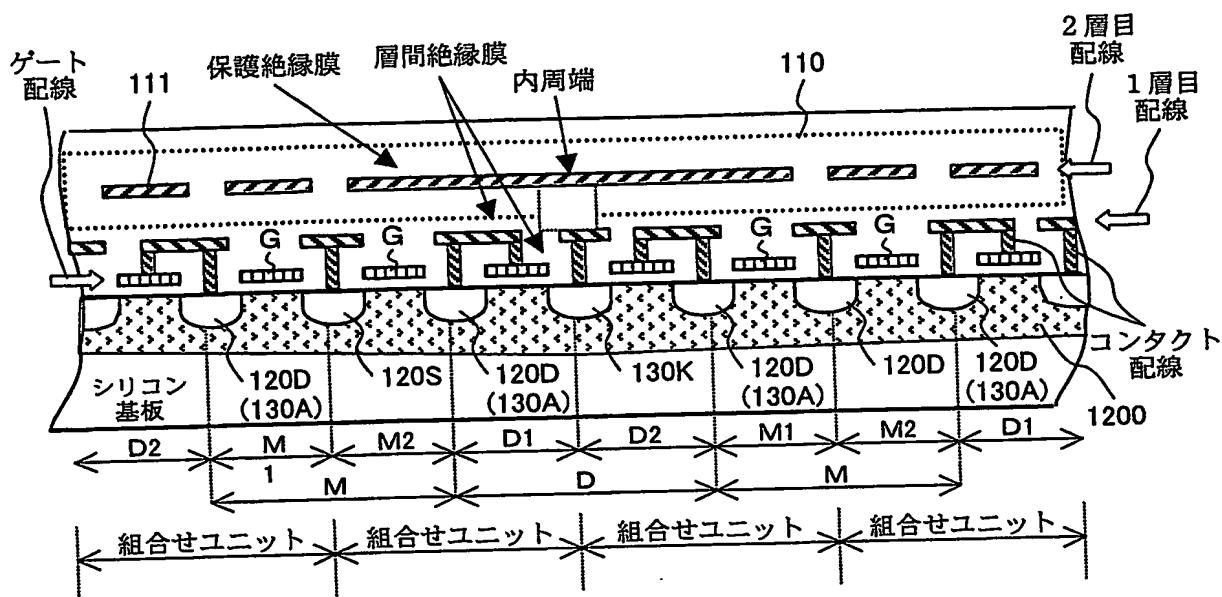
第9図



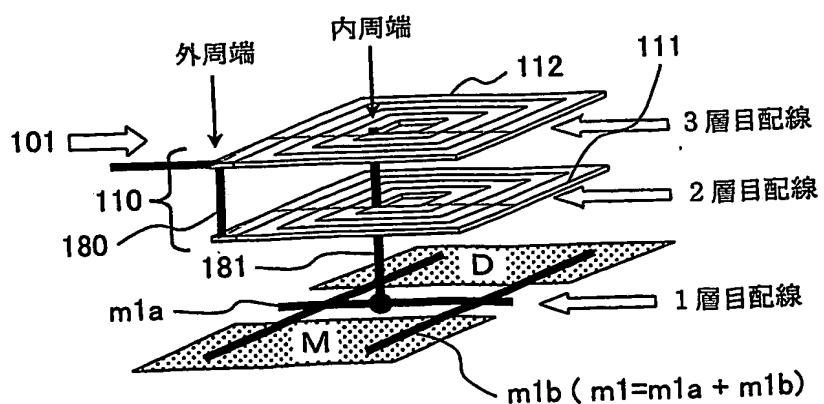
第10図



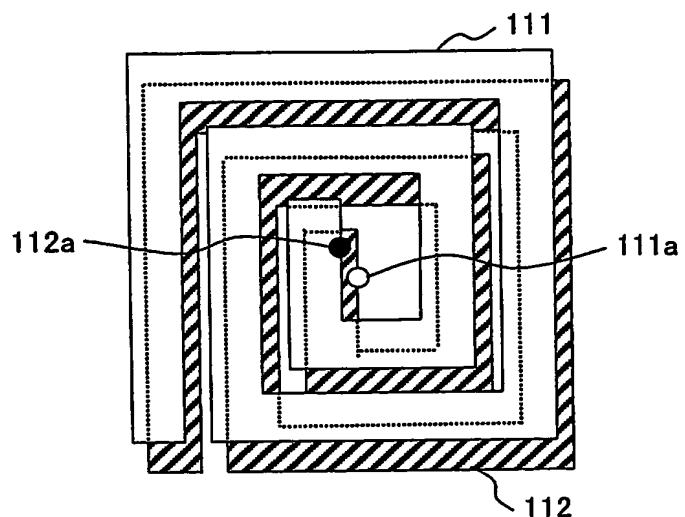
第11図



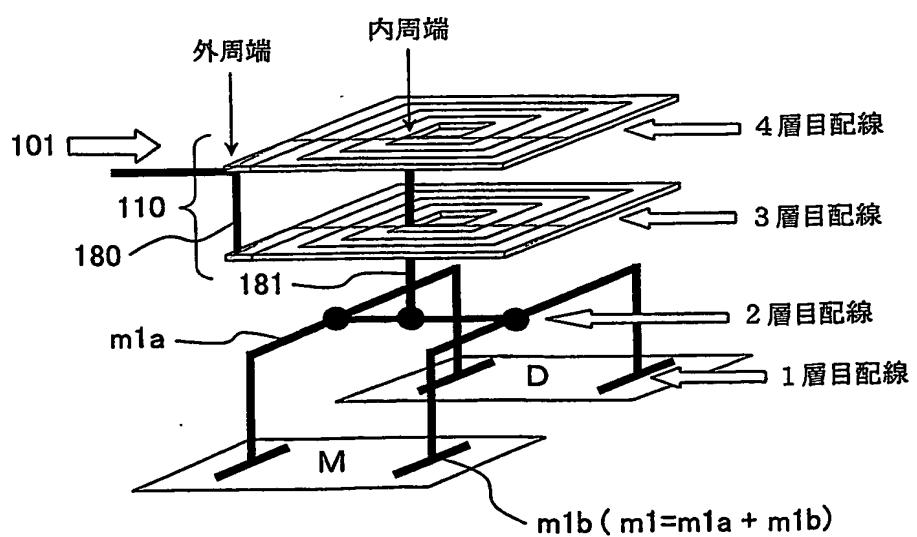
第12図



第13図

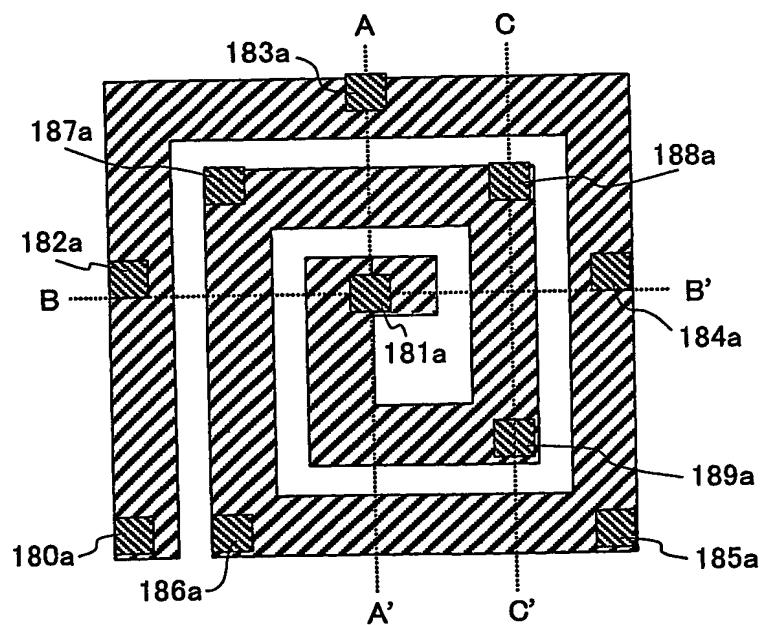


第14図



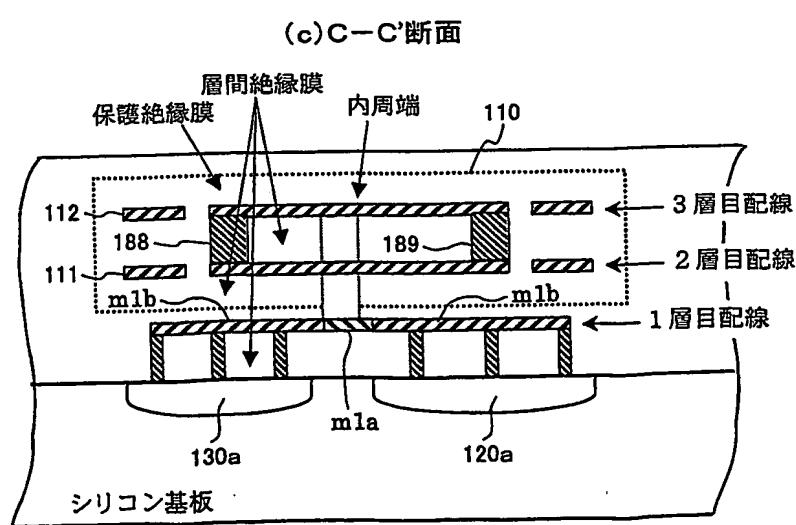
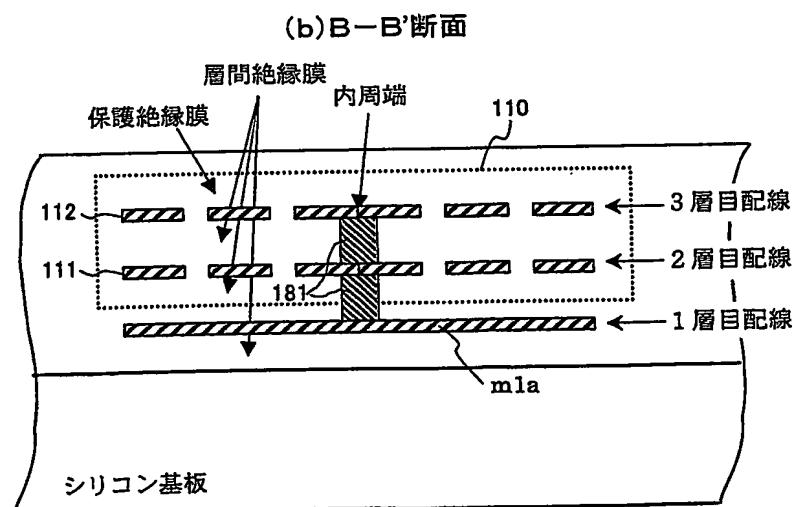
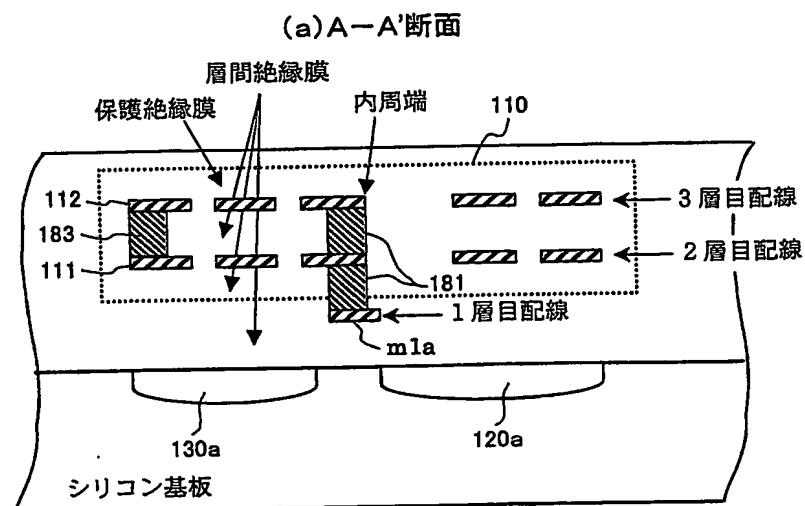
9/17

第15図



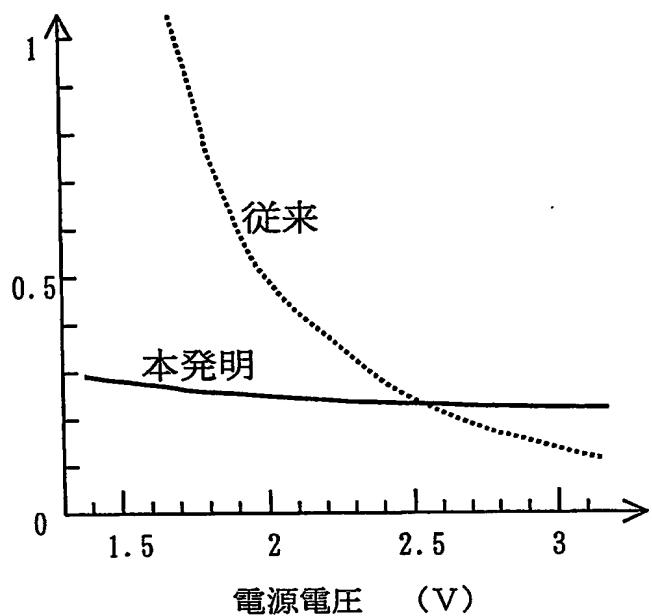
10/17

第16図

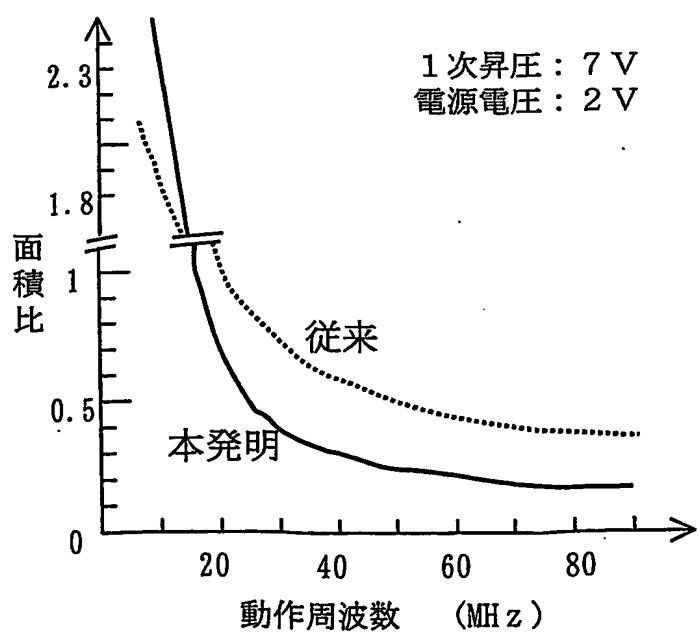


11/17

第17図

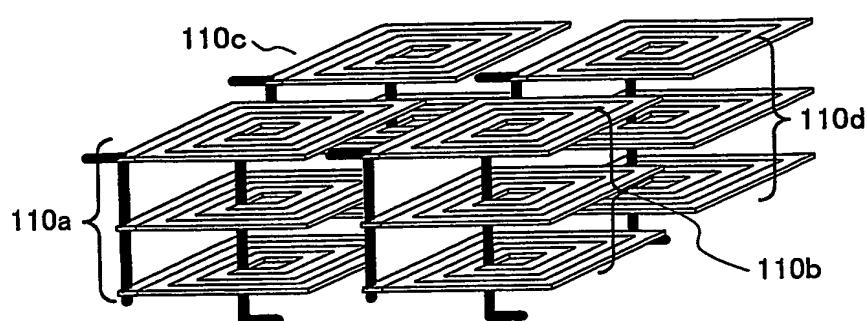


第18図

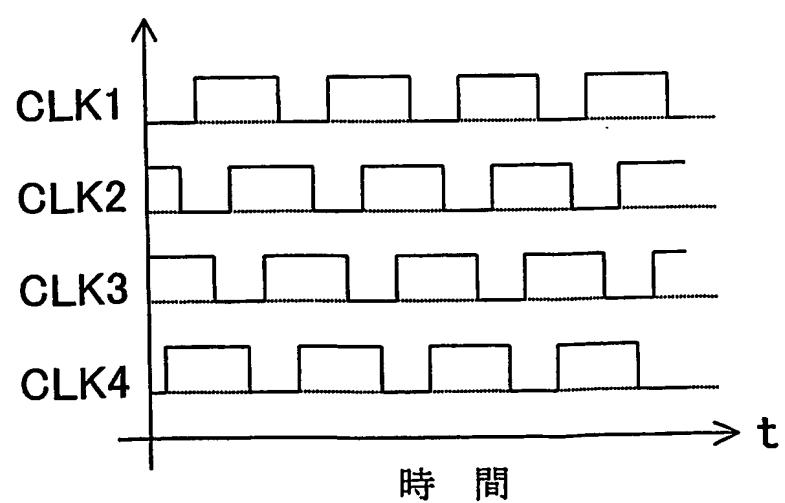


12/17

第19図

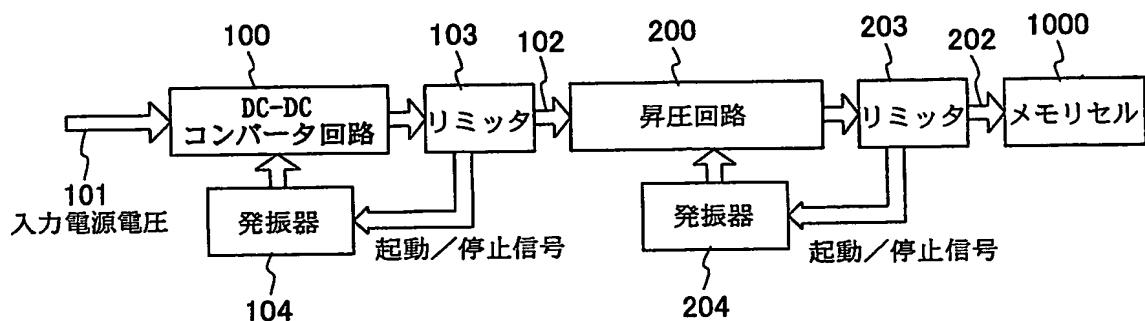


第20図

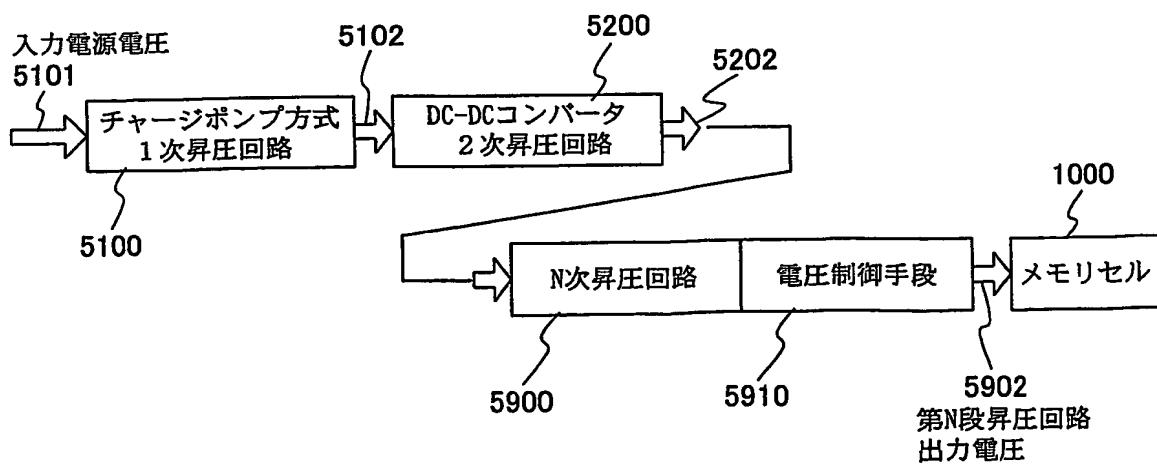


13/17

第21図

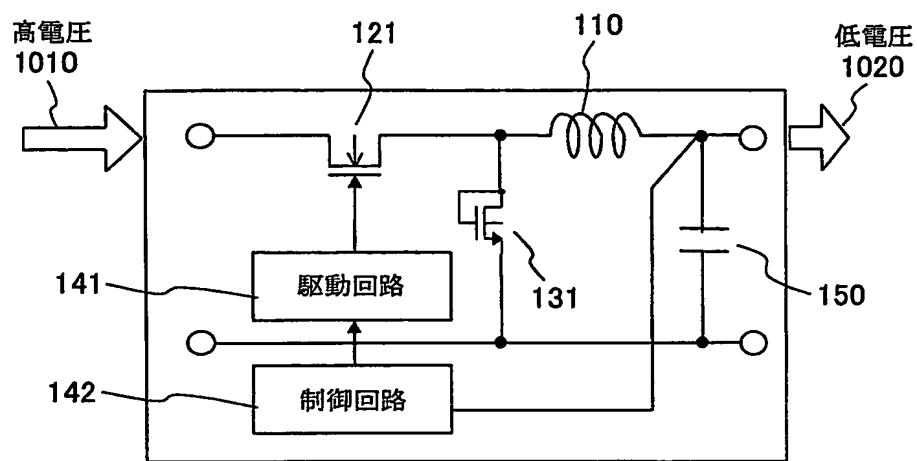


第22図

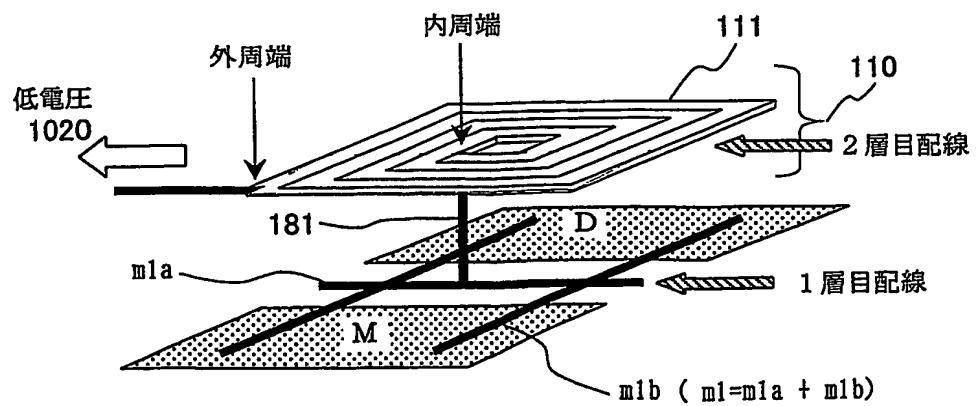


14/17

第23図

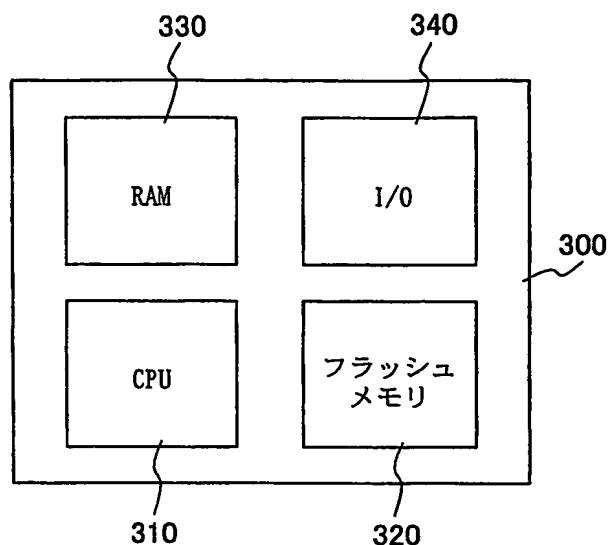


第24図

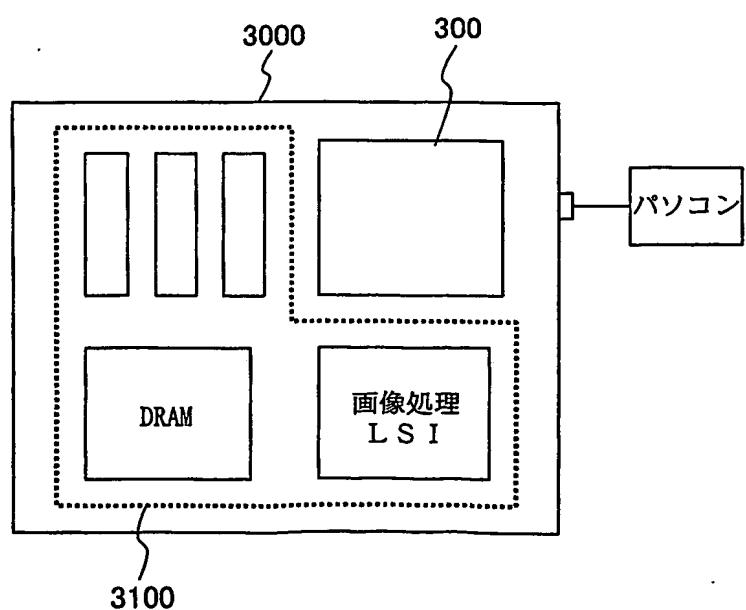


15/17

第25図



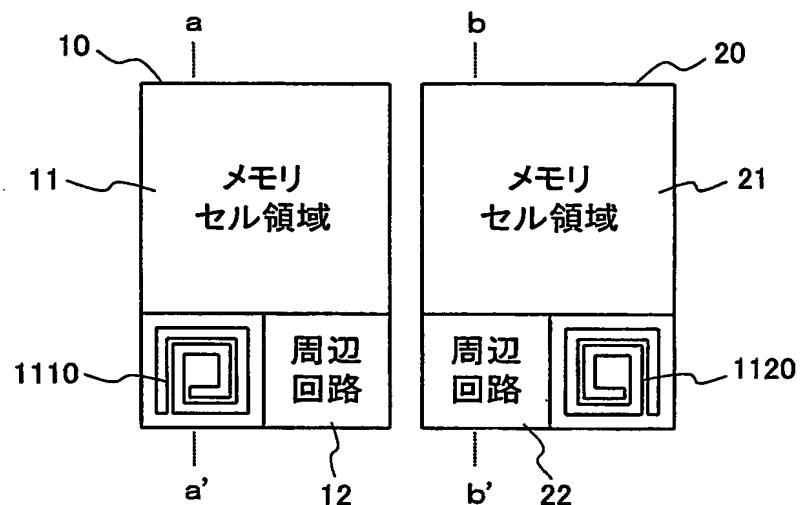
第26図



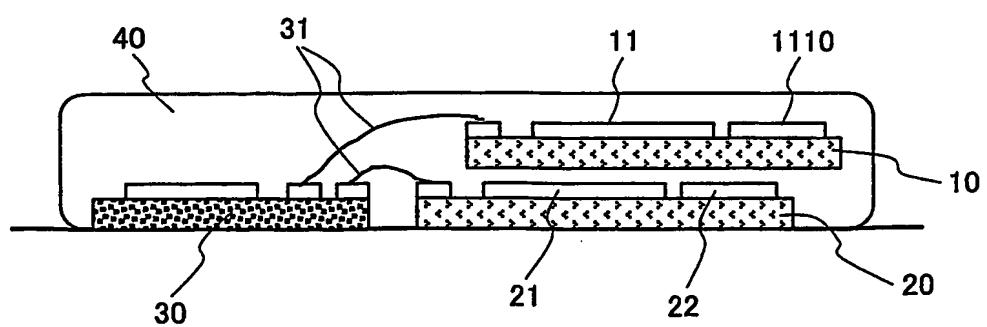
3100 : 應用システム用LSIおよび個別部品

16/17

第27図

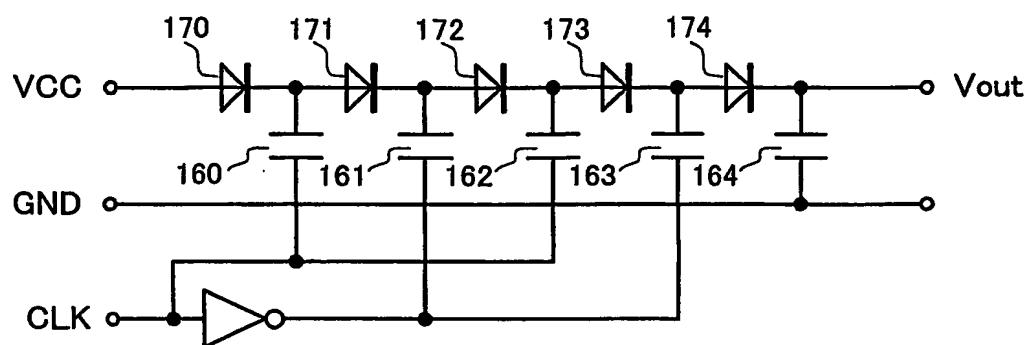


第28図

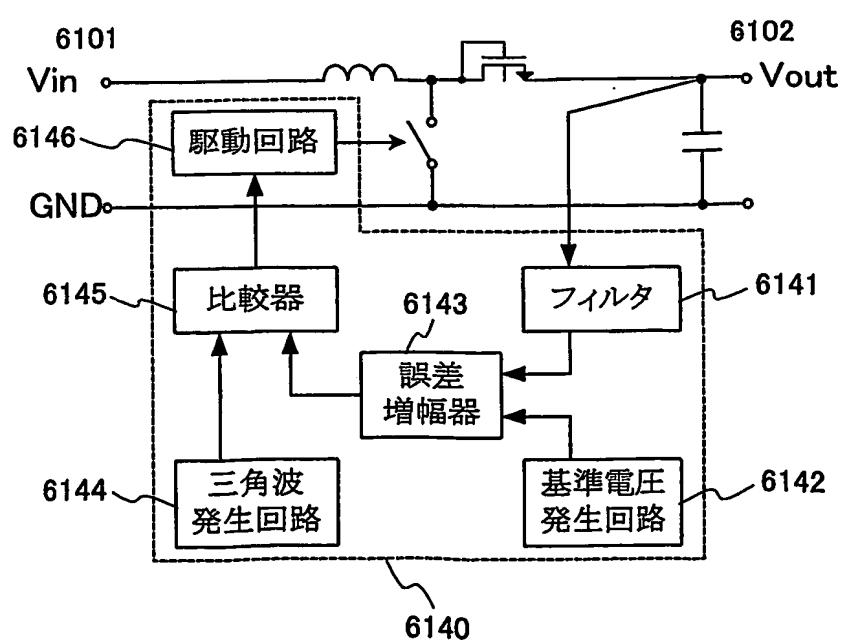


17/17

第29図



第30図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/10178

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl' H01L27/04, H02M3/155, G11C17/00, H02M3/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl' H01L27/04, H02M3/155, G11C17/00, H02M3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 5677874 A (SHARP KABUSHIKI KAISHA), 14 October, 1997 (14.10.97), Figs. 1 to 5; Full text & JP 08-297986 A	1, 4-17, 23, 25, 27, 29-31 2-3, 18-22, 32-35
Y A	JP 63-062273 A (KABUSHIKI KAISHA TOSHIBA), 18 March, 1988 (18.03.88), Fig. 1; full text (Family: none)	1, 4-17, 23-31 2-3, 18-22, 32-35
Y	US 5469399 A (KABUSHIKI KAISHA TOSHIBA), 21 November, 1995 (21.11.95), Column 9, lines 60 to 65 & JP 07-021791 A	5-8

 Further documents are listed in the continuation of Box C. See patent family annex.

"A"	Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier document but published on or after the international filing date	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&"	document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search
11 November, 2003 (11.11.03)Date of mailing of the international search report
09 December, 2003 (09.12.03)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/JP03/10178

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5420558 A (FUJI ELECTRIC CO., LTD.), 30 May, 1995 (30.05.95), Fig. 13 & JP 06-120048 A	9-10, 17
Y	JP 60-257161 A (NEC Corp.), 18 December, 1985 (18.12.85), Page 4, upper left column, line 20 to upper right column, line 16 (Family: none)	13-17, 29
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 024026/1984(Laid-open No. 136156/1985) (NEC Kansai, Ltd.), 10 September, 1985 (10.09.85), Page 2, lines 3 to 17; Fig. 2 (Family: none)	23-31
Y	JP 09-051672 A (Sumitomo Metal Industries, Ltd.), 18 February, 1997 (18.02.97), Full text; all drawings (Family: none)	24, 26, 28

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. C1' H01L27/04, H02M3/155, G11C17/00, H02M3/00

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. C1' H01L27/04, H02M3/155, G11C17/00, H02M3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国実用新案登録公報	1996-2003年
日本国登録実用新案公報	1994-2003年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US 5677874 A (SHARP KABUSHIKI KAISHA) 1997.10.14 図1-5, 全文 & JP 08-297986 A	1, 4- 17, 23, 25, 27, 29-31
A		2-3, 18 -22, 32 -35

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

11.11.03

国際調査報告の発送日

09.12.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

棚田一也

4L

9361



電話番号 03-3581-1101 内線 3498

C(続き)	関連すると認められる文献	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 63-062273 A (株式会社東芝) 1988.03.18 第1図, 全文 (ファミリーなし)	1, 4-17 23-31
A		2-3, 18 -22, 32 -35
Y	US 5469399 A (KABUSHIKI KAISHA TOSHIBA) 1995.11.21 第9欄第60-65行 & JP 07-021791 A	5-8
Y	US 5420558 A (FUJI ELECTRIC CO., LTD) 1995.05.30 図13 & JP 06-120048 A	9-10, 17
Y	JP 60-257161 A (日本電気株式会社) 1985.12.18 第4頁左上欄第20行～同頁右上欄第16行 (ファミリーなし)	13-17, 29
Y	日本国実用新案登録出願59-024026号 (日本国実用新案登録出願公開60-136156号) の願書に添付した明細書及び図面の内容を記録したマイクロフィルム (関西日本電気株式会社) 1985.09.10 第2頁第3-17行, 第2図 (ファミリーなし)	23-31
Y	JP 09-051672 A (住友金属工業株式会社) 1997.02.18 全文, 全図 (ファミリーなし)	24, 26, 28